

Docket No.: 60188-837

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
Toshio MUKUNOKI, et al.	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: April 12, 2004	:	Examiner: Unknown
For: SEMICONDUCTOR MEMORY DEVICE	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-112576, filed April 17, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: April 12, 2004**

60188-837  
MUKUNOKI, et al.  
April 12, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 4 月 1 7 日

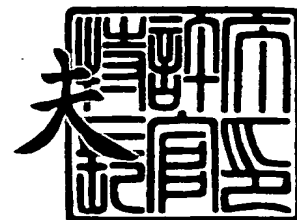
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 1 1 2 5 7 6  
[ST. 10/C]: [ J P 2 0 0 3 - 1 1 2 5 7 6 ]

出 願 人  
Applicant(s): 松 下 電 器 産 業 株 式 会 社

2 0 0 4 年 3 月 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 8 2 1 3

【書類名】 特許願

【整理番号】 5038340138

【提出日】 平成15年 4月17日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 椋木 敏夫

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 杉本 映

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 小関 隆夫

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【選任した代理人】

    【識別番号】 100094134

    【弁理士】

    【氏名又は名称】 小山 廣毅

## 【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

## 【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

## 【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 行列状に配列された複数の第 1 メモリセルと、  
前記複数の第 1 メモリセルのうち、行方向又は列方向に並ぶ前記各第 1 メモリセル同士を接続する制御線と、

前記制御線と接続された第 2 メモリセルとを備え、

前記第 2 メモリセルは、前記各第 1 メモリセルが前記制御線から受けるストレス情報を保持するように構成されていることを特徴とする半導体記憶装置。

【請求項 2】 行列状に配置された複数の第 1 メモリセルと、  
前記複数の第 1 メモリセルのうち、行方向に並ぶ前記各第 1 メモリセル同士を接続する複数のワード線と、

前記複数の第 1 メモリセルのうち、列方向に並ぶ前記各第 1 メモリセル同士を接続する複数のビット線と、

それぞれが、前記各ワード線及び前記各ビット線の少なくとも一方と接続された複数の第 2 メモリセルとを備え、

前記複数の第 1 メモリセル及び前記複数の第 2 メモリセルは、それぞれが電荷を保持する電荷保持部を有し、

前記各第 1 メモリセル及び前記各第 2 メモリセルにおいて、前記各ワード線又は前記各ビット線に電圧が印加されることによってそれぞれの前記電荷保持部が保持する電荷の量が増加する場合に、前記各第 2 メモリセルにおける電荷の変化量は、前記第 1 メモリセルにおける電荷の変化量よりも大きいことを特徴とする半導体記憶装置。

【請求項 3】 前記複数の第 1 メモリセル及び前記複数の第 2 メモリセルは、それぞれが、半導体基板上にトンネル絶縁膜を介して形成された前記電荷保持部となるフローティングゲート電極と、フローティングゲート電極の上に容量絶縁膜を介して形成されたコントロールゲート電極と、前記半導体基板における前記フローティングゲート電極の下側部分を挟んで設けられたソース電極及びドレイン電極とを有し、

前記複数の第1メモリセルと前記複数の第2メモリセルとにおいて、前記トンネル絶縁膜、前記フローティングゲート電極、前記容量絶縁膜及び前記コントロールゲート電極のうちの少なくとも1つは、その組成又は形状が互いに異なることを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】 前記各第2メモリセルの前記容量絶縁膜は、前記各第1メモリセルの前記容量絶縁膜よりも抵抗率が小さいことを特徴とする請求項3に記載の半導体記憶装置。

【請求項5】 前記容量絶縁膜は、前記各第1メモリセルにおいてはシリコン酸化膜とシリコン窒化膜とを含む積層膜として形成され、前記各第2メモリセルにおいてはシリコン酸化膜からなる単層膜又は積層膜として形成されていることを特徴とする請求項4に記載の半導体記憶装置。

【請求項6】 前記フローティングゲート電極は、前記各第1メモリセルにおいては上面が平滑に形成されており、前記各第2メモリセルにおいては上面が凹凸状に形成されていることを特徴とする請求項3に記載の半導体記憶装置。

【請求項7】 前記各第1メモリセル及び前記各第2メモリセルにおいて、前記半導体基板と前記フローティングゲート電極とが前記トンネル絶縁膜を介して対向する対向面積に対する、前記フローティングゲート電極と前記コントロールゲート電極とが前記容量絶縁膜を介して対向する対向面積の比の値は、前記各第1メモリセルよりも前記各第2メモリセルの方が大きいことを特徴とする請求項3に記載の半導体記憶装置。

【請求項8】 前記各ワード線又は前記各ビット線と前記各第2メモリセルとの接続を切り離すスイッチ手段をさらに備えていることを特徴とする請求項2～7のうちのいずれか1項に記載の半導体記憶装置。

【請求項9】 前記スイッチ手段はヒューズ素子であることを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】 前記スイッチ手段はMIS型トランジスタであることを特徴とする請求項8に記載の半導体記憶装置。

【請求項11】 前記複数の第1メモリセルのうちの少なくとも1つに、前記MIS型トランジスタのオン又はオフを制御する制御情報が保持されているこ

とを特徴とする請求項 10 に記載の半導体記憶装置。

【請求項 12】 前記複数の第 2 メモリセルは、前記各ワード線又は前記各ビット線の少なくとも一方に、それぞれが互いに直列に複数ずつ配置されていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 13】 前記互いに直列に配置された各第 2 メモリセルが保持するデータを平均化して出力する平均化回路をさらに備えていることを特徴とする請求項 12 に記載の半導体記憶装置。

【請求項 14】 前記複数の第 2 メモリセルは、前記各ワード線及び前記各ビット線の少なくとも一方に、それぞれが互いに並列に複数ずつ配置されていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 15】 前記複数の第 2 メモリセルと前記各ワード線及び前記各ビット線の少なくとも一方との接続を制御するスイッチトランジスタをさらに備えていることを特徴とする請求項 14 に記載の半導体記憶装置。

【請求項 16】 前記各第 1 メモリセルに対する書き込み動作又は消去動作が正常に行われたか否かを判定する第 1 ベリファイ回路と、

前記各第 2 メモリセルに対する書き込み動作又は消去動作が正常に行われたか否かを判定する第 2 ベリファイ回路とをさらに備えていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 17】 前記各第 1 メモリセルのソース電極と接続された第 1 ソース線と、

前記各第 2 メモリセルのソース電極と接続された第 2 ソース線とをさらに備えていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 18】 前記各第 1 メモリセルと前記各第 2 メモリセルとは同一の部材を用いて構成されていることを特徴とする請求項 16 又は 17 に記載の半導体記憶装置。

【請求項 19】 前記複数の第 2 メモリセルは、前記各ワード線及び前記各ビット線の少なくとも一方に、それぞれが互いに直列するように複数ずつ配置されており、

前記互いに直列する複数の第 2 メモリセルは、前記各第 1 メモリセルと同一の



部材を用いて構成された同型セルと、前記各第1のメモリセルと異なる部材を用いて構成された異型セルとを含むことを特徴とする請求項2に記載の半導体記憶記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電氣的に書き込み可能な不揮発性メモリセルを有する半導体記憶装置に関し、特に、バーンイン工程を用いて不揮発性メモリセルの不良を検査する検査方法に対応した半導体記憶装置に関する。

【0002】

【従来の技術】

従来より、半導体基板上に集積された素子にデータを記憶する半導体記憶装置として、電源が供給されていない間にもデータを保持する不揮発性の半導体記憶装置が用いられている。特に、その周囲が酸化膜等により絶縁されたフローティングゲート電極と、該フローティングゲート電極の上に容量絶縁膜を介して形成されたコントロールゲート電極とを有し、電氣的な書き込み及び消去が可能なフラッシュEEPROM装置が広く用いられている。

【0003】

(第1の従来例)

図17は、第1の従来例に係るフラッシュEEPROM装置のブロック構成を示している。図17に示すように、第1の従来例に係るフラッシュEEPROM装置は、メモリセル $MC_{11} \sim MC_{mn}$ が行列状に配列されてなるメモリセルアレイ101が設けられており、メモリセルアレイ101を駆動する周辺回路として、各ワード線 $WL_1 \sim WL_m$ を駆動するワード線ドライバ102と、各ビット線 $BL_1 \sim BL_n$ を駆動するビット線ドライバ103、ソース線 $SL$ を駆動するソース線ドライバ104とが設けられている。

【0004】

メモリセル $MC_{11} \sim MC_{mn}$ は、それぞれが、半導体基板上にトンネル絶縁膜を介して形成されたフローティングゲート電極と、該フローティングゲート電極の

上に容量絶縁膜を介して形成された制御ゲート電極と、半導体基板におけるフローティングゲート電極の下側部分を挟むように形成され、それぞれがソース電極及びドレイン電極となる2つの不純物拡散領域とによって構成される。

#### 【0005】

ここで、トンネル絶縁膜には、熱酸化によって形成された結晶欠陥が少ないシリコン酸化膜が用いられ、容量絶縁膜には第1のシリコン酸化膜、シリコン窒化膜及び第2のシリコン酸化膜が順次積層されたONO膜が用いられている。

#### 【0006】

第1の従来例のフラッシュEEPROM装置は、各メモリセル $MC_{11} \sim MC_{mn}$ のフローティングゲート電極に蓄積された電荷がデータとして保持される。

#### 【0007】

第1の従来例のフラッシュEEPROM装置において、例えば、メモリセル $MC_{11}$ に対する書き込みを行う場合には、ワード線ドライバ102及びビット線ドライバ103が書き込み対象となるメモリセルを選択し、ワード線 $WL_{11}$ に例えば約5Vの制御電圧を印加し、ビット線 $BL_{11}$ に約5Vの制御電圧を印加する。これにより、ソース電極からトンネル絶縁膜を通して電荷をフローティングゲート電極に注入される。

#### 【0008】

また、メモリセル $MC_{11}$ に対する読み出し動作を行う場合には、ビット線 $BL_{11}$ をプリチャージし、ワード線 $WL_{11}$ に例えば約2.5Vの制御電圧を印加する。ここで、チャネル領域に流れ始めるコントロールゲート電圧のしきい値はフローティングゲート電極に保持された電荷量に応じて異なる。メモリセル $MC_{11}$ のしきい値電圧がコントロールゲート電極に印可された電圧よりも小さければ、ビット線 $BL_{11}$ の電位は正の方向に変化し、逆にコントロールゲート電極に印可された電圧よりも大きければ、ビット線 $BL_{11}$ の電位は負の方向に変化する。

#### 【0009】

また、メモリセル $MC_{11}$ に対する消去動作を行う場合には、ワード線 $WL_{11}$ に例えば約-5Vの制御電圧を印加し、ソース線 $SL$ に約5Vの制御電圧を印加する。これにより、ワード線 $WL_{11}$ と接続されたメモリセル $MC_{11} \sim MC_{1n}$ が一括

して消去される。

#### 【0010】

ところで、メモリセルからなる不揮発性の半導体記憶装置においては、書き込み動作又は読み出し動作の際に、各動作の対象となるメモリセルと同じワード線又はビット線に接続されたメモリセルにも同じ制御電圧が印加される。この制御電圧により、フローティングゲート電極に蓄積された電荷が容量絶縁膜又はトンネル絶縁膜を介して半導体基板側又はコントロールゲート電極側に流出（ディスタ urb）してデータが破壊される虞がある。

#### 【0011】

そこで、フラッシュEEPROM装置の信頼性を確保するため、メモリセルが所定の期間にわたってデータを確実に保持できるか否かを検査して初期不良をスクリーニングするためのディスタ urb試験が行われる。

#### 【0012】

ディスタ urb試験は、バーンイン装置を用いてワード線又はビット線にストレスとなる電圧を所定の期間にわたって印加する工程（バーンイン工程）と、ストレス印加によりメモリセルに保持されたデータが破壊されていないかどうかを検査する工程とを含む。

#### 【0013】

具体的には、予めメモリセルアレイに所定のデータを書き込んだ後、まず、フラッシュEEPROM装置をバーンイン装置と接続し、バーンイン装置からストレスとなる電圧を供給して、ワード線 $WL_1 \sim WL_m$ のすべて又はビット線 $BL_1 \sim BL_n$ のすべてに対してストレスを所定の期間にわたって印加する。ここで、第1の従来例のフラッシュEEPROM装置には、図示はしていないが、バーンイン装置を用いてストレスを印加する工程（バーンイン工程）を制御するための回路として、バーンイン試験回路が設けられており、バーンイン装置からの制御信号に基づいてワード線ドライバ13及びビット線ドライバ14の動作が制御される。

#### 【0014】

その後、テスト等を用いてメモリセルのデータを読み出し、ストレス印加の前

後でデータが変化しているかどうかを検査する。そして、ストレス印加によりメモリセルのデータが変化していれば当該メモリセルを不良と判定する。

#### 【0015】

しかし、第1の従来例のフラッシュEEPROM装置において、ワード線ドライバ13やビット線ドライバ14に初期不良がある場合に、前述のバーンイン工程において、規定した通りのストレスが印加されないことがあり、十分なストレスが印加されずに、ディスターブ特性が低いメモリセルをも正常と誤判定してしまうという問題が生じる。

#### 【0016】

(第2の従来例)

そこで、第2の従来例では、ディスターブ試験の際に、ワード線及びビット線に所定の電圧が印加されたか否かを判定する手段を設ける構成としている。

#### 【0017】

例えば、特許文献1には、書き込みテストの際にビット線に所定の電圧が印加されたか否かを検出する手段として、ビットライン電位測定回路を設けたEEPROM装置が記載されている。第2の従来例では、特許文献1に記載のビットライン電位測定回路と同等の回路を設けることにより、ビット線電位及びワード線電位を測定できるようにしている。

#### 【0018】

図18は、第2の従来例に係るフラッシュEEPROM装置のディスターブ試験の様子を示すブロック図である。図18に示すように、第2の従来例に係るフラッシュEEPROM装置110は、バーンイン装置200からの制御信号及びストレス電圧を受けてバーンイン工程を制御するバーンイン試験回路111によりワード線ドライバ102及びビット線ドライバ103を制御する。

#### 【0019】

なお、フラッシュEEPROM装置110は、図示しないバーンインボードを介してバーンイン装置200と接続されている。1つのバーンインボードには、複数のフラッシュEEPROM装置110が配置され、さらに、バーンイン装置200に複数のバーンインボードが接続されることにより、多数のフラッシュE

EPROM装置110に対して一括してストレスの印加が行われる。

【0020】

ワード線 $WL_1 \sim WL_m$ にストレスを印加した場合には、ワード線選択トランジスタ $WST_1 \sim WST_m$ を順次オンすることにより、ワード線電位測定回路112が各ワード線 $WL_1 \sim WL_m$ に印加された電圧を一本ずつ測定して、測定結果をセクタ回路114に入力する。

【0021】

同様に、ビット線 $BL_1 \sim BL_n$ にストレスを印加した場合には、ビット線選択トランジスタ $BST_1 \sim BST_n$ を順次オンすることにより、ビット線電位測定回路113が各ビット線 $BL_1 \sim BL_n$ に印加された電圧を一本ずつ測定して、測定結果をセクタ回路114に入力する。

【0022】

セクタ回路114は、ワード線電位測定回路112及びビット線電位測定回路113から入力される測定結果を選択してコンパレータ201に入力する。そして、コンパレータ201により、印加された電圧が規定された通りの電圧であるか否かが判定される。バーンイン装置200は、コンパレータ201の出力に基づいてワード線 $WL_1 \sim WL_m$ 及びビット線 $BL_1 \sim BL_n$ に印加するストレス電圧を調節し、ワード線 $WL_1 \sim WL_m$ 及びビット線 $BL_1 \sim BL_n$ に規定された通りの電圧が印加されるように制御する。

【0023】

【特許文献1】

特開平10-302498号公報

【0024】

【発明が解決しようとする課題】

しかしながら、前記第2の従来例では、ワード線電位測定回路112及びビット線電位測定回路113に加えて、ビット線選択トランジスタ $BST_1 \sim BST_n$ 及びワード線選択トランジスタ $WST_1 \sim WST_m$ を1つずつ制御するための信号線及び制御回路が設けられているため、フラッシュEEPROM装置のチップ面積が著しく増大する。さらにバーンイン装置200において、ワード線電位

及びビット線電位の判定するために、一括して試験しようとするEEPROM装置の数だけコンパレータ201を設ける必要があり、バーンイン装置にかかるコストもまた増大する。

#### 【0025】

このように、前記従来のフラッシュEEPROM装置において、ディスタープ試験を確実に実施できるようにすると、フラッシュEEPROM装置のチップコスト及び試験コストが増大するという問題を有している。

#### 【0026】

本発明は、前記従来の問題を解決し、半導体記憶装置に対するディスタープ試験の際に規定した通りのストレスが印加されたか否かを判定するための手段を、チップ面積を増大させることなく且つ低コストに設けられるようにすることを目的とする。

#### 【0027】

##### 【課題を解決するための手段】

前記の目的を達成するため、本発明は、半導体記憶装置に、データを保持するための第1メモリセルに加えて、ビット線及びワード線に印加されたストレスの電圧を検出（サンプリング）するための第2メモリセルを設ける構成とする。

#### 【0028】

具体的に、本発明に係る第1の半導体記憶装置は、行列状に配列された複数の第1メモリセル（メモリセル）と、複数の第1メモリセルのうち、行方向又は列方向に並ぶ各第1メモリセル同士を接続する制御線（ワード線又はビット線）と、制御線と接続された第2メモリセル（サンプルセル）とを備え、第2メモリセルは、各第1メモリセルが制御線から受けるストレス情報を保持するように構成されている。

#### 【0029】

本発明の第1の半導体記憶装置によると、ディスタープ試験において、バーンイン工程の後に、第2メモリセルが保持するストレス情報を検査することにより正常なストレスが印加されたか否かを判定することができる。従って、第2の従来例のフラッシュEEPROM装置のように、ディスタープ試験のバーンイン工

程においてストレス電圧を印加中にその電圧の良否を適宜判定してバーンイン工程を繰り返す必要がないため、ディスタープ試験の工程を簡略化することができ、さらに、第2メモリセルが保持するストレス情報からストレス印加の良否を判定できるため、バーンイン装置にコンパレータを設ける必要がない。また、本発明の第1の半導体記憶装置によると、データ保持用の第1メモリセルに第2メモリセルが追加されるだけであり、そのチップ面積はほとんど増大しない。

#### 【0030】

本発明に係る第2の半導体記憶装置は、行列状に配置された複数の第1メモリセル（メモリセル）と、行方向に並ぶ各第1メモリセル同士を接続する複数のワード線と、列方向に並ぶ各第1メモリセル同士を接続する複数のビット線と、それぞれが、各ワード線及び各ビット線の少なくとも一方と接続された複数の第2メモリセル（サンプルセル）とを備え、複数の第1メモリセル及び複数の第2メモリセルは、それぞれが電荷を保持する電荷保持部を有し、各第1メモリセル及び各第2メモリセルにおいて、各ワード線又は各ビット線に電圧が印加されることによってそれぞれの電荷保持部が保持する電荷の量が変わる場合に、各第2メモリセルにおける電荷の変化量は、第1メモリセルにおける電荷の変化量よりも大きい。

#### 【0031】

本発明の第2の半導体記憶装置によると、ワード線又はビット線と接続された第2メモリセルを備え、第2メモリセルにおける電荷の変化量は、第1のメモリセルにおける電荷の変化量よりも大きいため、第1メモリセルに対するディスタープ試験において、バーンイン工程の後に第2メモリセルのしきい値電圧を測定することにより、正常なストレスが印加されたか否かを判定することができる。従って、第2の従来例のフラッシュEEPROM装置のように、ディスタープ試験のバーンイン工程においてストレス電圧を印加中にその電圧の良否を適宜判定してバーンイン工程を繰り返す必要がないため、ディスタープ試験の工程を簡略化することができ、さらに、第2メモリセルのしきい値電圧を調べることによりストレス印加の良否を判定できるため、バーンイン装置にコンパレータを設ける必要がない。また、本発明の第2の半導体記憶装置によると、データ保持用の第

1メモリセルに第2メモリセルが追加されるだけであり、そのチップ面積はほとんど増大しない。

#### 【0032】

本発明の第2の半導体記憶装置において、複数の第1メモリセル及び複数の第2メモリセルは、それぞれが、半導体基板上にトンネル絶縁膜を介して形成された電荷保持部となるフローティングゲート電極と、フローティングゲート電極の上に容量絶縁膜を介して形成されたコントロールゲート電極と、半導体基板におけるフローティングゲート電極の下側部分を挟んで設けられたソース電極及びドレイン電極とを有し、複数の第1メモリセルと複数の第2メモリセルとにおいて、トンネル絶縁膜、フローティングゲート電極、容量及び絶縁膜コントロールゲート電極のうちの少なくとも1つは、その組成又は形状が互いに異なることが好ましい。

#### 【0033】

このようにすると、第1メモリセル及び第2メモリセルを構成する部材の1部分を変更することにより、第2メモリセルにおける電荷の変化量が、第1メモリセルにおける電荷の変化量よりも大きくなるように第1メモリセルと第2メモリセルとを形成できるため、第1メモリセルを形成する工程と第2メモリセルを形成する工程とを共通化しながらことができるので、第2メモリセルを低コストに製造することが可能となる。

#### 【0034】

本発明の第2の半導体記憶装置において、第2メモリセルにおける容量絶縁膜は、第1メモリセルにおける容量絶縁膜と比べて抵抗率が小さいことが好ましい。

#### 【0035】

このようにすると、第2メモリセルにおいてフローティングゲート電極から容量絶縁膜を通して電荷が移動し易くなるため、コントロールゲート電極にストレスとなる電圧を印加した場合に、第1メモリセルではほとんど電荷がフローティングゲート電極に保持された電荷量がほとんど変化せず、第2メモリセルではフローティングゲート電極に保持された電荷量が大きく変化する。



**【0036】**

本発明の第2の半導体記憶装置において、容量絶縁膜は、各第1メモリセルにおいてはシリコン酸化膜とシリコン窒化膜とを含む積層膜として形成され、各第2メモリセルにおいてはシリコン酸化膜からなる単層膜又は積層膜として形成されていることが好ましい。

**【0037】**

このようにすると、第2メモリセルの容量絶縁膜の抵抗率を第1メモリセルよりも第2メモリセルの方が抵抗率が小さくなるため、第1メモリセルではほとんど電荷がフローティングゲート電極に保持された電荷量がほとんど変化せず、第2メモリセルではフローティングゲート電極に保持された電荷量が大きく変化する。

**【0038】**

本発明の第2の半導体記憶装置において、フローティングゲート電極は、各第1メモリセルにおいては上面が平滑に形成されており、各第2メモリセルにおいては上面が凹凸状に形成されていることが好ましい。

**【0039】**

このようにすると、ワード線にストレスとなる電圧が印加された場合に、フローティングゲート電極の凸状部分に電界が集中するため、第2メモリセルにおいてフローティングゲート電極から容量絶縁膜を通して電荷が移動し易くなるので、ワード線又はビット線にストレスを印加した場合に、第1メモリセルではほとんど電荷がフローティングゲート電極に保持された電荷量がほとんど変化せず、第2メモリセルではフローティングゲート電極に保持された電荷量が大きく変化する。

**【0040】**

本発明の第2の半導体記憶装置において、各第1メモリセル及び各第2メモリセルにおいて、半導体基板とフローティングゲート電極とがトンネル絶縁膜を介して対向する対向面積に対する、フローティングゲート電極とコントロールゲート電極とが容量絶縁膜を介して対向する対向面積の比の値は、各第1メモリセルよりも各第2メモリセルの方が大きいことが好ましい。

**【0041】**

このようにすると、第2メモリセルの容量カップリング比が第1メモリセルよりも大きくなるため、第2メモリセルにおいてフローティングゲート電極から容量絶縁膜を通った電荷の移動が第1メモリセルよりも生じ易くなるので、ワード線又はビット線にストレスを印加した場合に、第1メモリセルではほとんど電荷がフローティングゲート電極に保持された電荷量がほとんど変化せず、第2メモリセルではフローティングゲート電極に保持された電荷量が大きく変化する。

**【0042】**

本発明の第2の半導体記憶装置において、各ワード線又は各ビット線と各第2メモリセルとの接続を切り離すスイッチ手段をさらに備えていることが好ましい。

**【0043】**

このようにすると、デイスターブ試験の終了後に第2メモリセルを第1メモリセルから切り離することができるため、通常の動作時における第2メモリセルの影響から第1メモリセルを保護することができる。

**【0044】**

本発明の第2の半導体記憶装置において、スイッチ手段はヒューズ素子であることが好ましい。

**【0045】**

スイッチ手段はMIS型トランジスタであることが好ましい。

**【0046】**

本発明の第2の半導体記憶装置において、複数の第1メモリセルのうちの少なくとも1つに、MIS型トランジスタのオン又はオフを制御する制御情報が保持されていることが好ましい。

**【0047】**

このようにすると、デイスターブ試験の終了後に第1メモリセルにMIS型トランジスタをオフ制御するように情報を書き込むことにより、通常動作時に第1メモリセルと第2メモリセルとの電氣的な接続を切り離すように制御することができる。

**【0048】**

本発明の第2の半導体記憶装置において、複数の第2メモリセルは、各ワード線又は各ビット線の少なくとも一方に、それぞれが互いに直列するように複数ずつ配置されていることが好ましい。

**【0049】**

このようにすると、ディスタープ試験において、印加されたストレスが正常か否かを判定する際に、複数ずつ配置された第2メモリセルのしきい値電圧をそれぞれに測定することにより、第2メモリセルにおける特性のばらつきの影響を低減することができる。

**【0050】**

本発明の第2の半導体記憶装置において、複数ずつ設けられた第2メモリセルのそれぞれに保持された電荷量が平均化されたデータを出力する平均化回路をさらに備えていることが好ましい。

**【0051】**

このようにすると、ワード線又はビット線のそれぞれに直列に配置された複数の第2メモリセルのそれぞれに対してしきい値電圧を測定する必要が無く、第2メモリセルにおける特性のばらつきの影響を低減する場合の工程が簡略化される。

**【0052】**

本発明の第2の半導体記憶装置において、複数の第2メモリセルは、各ワード線及び各ビット線の少なくとも一方に、それぞれが互いに並列するように複数ずつ配置されていることが好ましい。

**【0053】**

このようにすると、互いに並列する複数の第2メモリセルのそれぞれのしきい値電圧を測定することにより、より精密なディスタープ試験を行うことができる。

**【0054】**

本発明の第2の半導体記憶装置において、複数の第2メモリセルと各ワード線及び各ビット線の少なくとも一方と接続を制御するスイッチトランジスタをさら

に備えていることが好ましい。

【0055】

このようにすると、互いに並列に設けられた複数の第2メモリセルのそれぞれを、ストレスの印加時間が異なるように制御することができ、より精密なディスタープ試験が可能となる。

【0056】

本発明の第2の半導体記憶装置において、各第1メモリセルに対する書き込み動作又は消去動作が正常に行われたか否かを判定する第1ベリファイ回路と、各第2メモリセルに対する書き込み動作又は消去動作が正常に行われたか否かを判定する第2ベリファイ回路をさらに備えていることが好ましい。

【0057】

このようにすると、第1ベリファイ回路と第2ベリファイ回路とを用いて第1メモリセルと第2メモリセルとの電荷保持部が保持する電荷量を独立に調整することができるため、書き込み状態又は消去状態である場合の電電荷量と、ニュートラル状態の保持する電荷量との差が、第1メモリセルよりも第2メモリセルの方が大きくなるように制御することができる。これにより、第2メモリセルのしきい値電圧が第1メモリセルよりも変化し易くなるので、第2メモリセルを用いてワード線及びビット線に印加されたストレスをモニターすることができる。

【0058】

本発明の第2の半導体記憶装置において、各第1メモリセルのソース電極と接続された第1ソース線と、各第2メモリセルの第2ソース線と接続された第2ソース線とをさらに備えていることが好ましい。

【0059】

このようにすると、第2メモリセルのみに対して消去動作が可能となるため、バーンイン工程よりも前に第2メモリセルのみに対して書き込み動作及び消去動作を繰り返すことにより、第2メモリセルのエンデュランス特性を第1メモリセルよりも低下させることができる。これにより、第2メモリセルのストレスを第1メモリセルよりも大きくすることができるため、第2メモリセルのしきい値電圧が第1メモリセルよりも変化し易くなるので、第2メモリセルを用いてワード

線及びビット線に印加されたストレスをモニターすることができる。

【0060】

本発明の第2の半導体記憶装置において、各第1メモリセルと各第2メモリセルとは同一の部材を用いて構成されていることが好ましい。

【0061】

このようにすると、第2メモリセルを形成するために特別な工程が必要とされないため、半導体記憶装置の製造コストを低減できる。

【0062】

本発明の第2の半導体記憶装置において、各ワード線又は各ビット線の少なくとも一方に、それぞれが互いに直列するように各第2メモリセルが2つ以上ずつ設けられており、互いに直列する複数の第2メモリセルは、各第1メモリセルと同一の部材を用いて構成された同型セルと、各第1のメモリセルと異なる部材を用いて構成された異型セルとを含むことが好ましい。

【0063】

このようにすると、異型セルと同型セルとを用いることにより2種類の方法でストレスをモニターできるため、ディスタープ試験をより精密に行うことができる。

【0064】

【発明の実施の形態】

(第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。

【0065】

図1は本発明の第1の実施形態に係る半導体記憶装置のブロック構成を示している。図1に示すように、第1の実施形態の半導体記憶装置は、複数のメモリセルが行列状に配列されたメモリセルアレイ10を備えており、該メモリセルアレイは、データを保持するためのメモリセル領域11と、ディスタープ試験において印加されたストレスをモニターするためのサンプルセル領域12とを有している。また、メモリセルアレイ10を駆動する周辺回路として、メモリセル領域11のワード線及びサンプルセル領域12のワード線（以下、サンプルワード線と

称する)を駆動するワード線ドライバ13と、メモリセル領域11のビット線及びサンプルセル領域12のビット線(以下、サンプルビット線と称する)を駆動するビット線ドライバ14と、メモリセル領域11及びサンプルセル領域12に共通のソース線を駆動するソース線ドライバ15とを備えている。

#### 【0066】

ここで、メモリセルアレイ10を構成する各メモリセル及びサンプルセルは、それぞれが周囲を絶縁されたフローティングゲート電極に電荷を蓄積し、コントロールゲート電極によりソースとドレインとの間を流れる電流量を調節してデータを読み出すスタック型のEEPROMセルとして形成されている。

#### 【0067】

図2はメモリセルアレイ10の回路構成を示している。図2に示すように、メモリセル領域11は、行数が $m$ (但し、 $m$ は正の整数である)であり、列数が $n$ (但し、 $n$ は正の整数である)の行列状に配列された複数のメモリセル $MC_{11} \sim MC_{mn}$ からなり、行方向に並ぶ $m$ 個のメモリセルは、それぞれのコントロールゲート電極がワード線 $WL_1 \sim WL_m$ により互いに接続されていると共に、列方向に並ぶ $n$ 個のメモリセルは、それぞれのドレイン電極がビット線 $BL_1 \sim BL_n$ により互いに接続されている。

#### 【0068】

また、サンプルセル領域12は、それぞれのコントロールゲート電極がワード線 $WL_1 \sim WL_m$ と接続された $m$ 個のワード線サンプルセル $SCW_{11} \sim SCW_{m1}$ と、それぞれのドレイン電極がビット線 $BL_1 \sim BL_n$ と接続された $n$ 個のビット線サンプルセル $SCB_{11} \sim SCB_{1n}$ とを有しており、ワード線サンプルセル $SCW_{11} \sim SCW_{m1}$ は、それぞれのドレイン電極がサンプルビット線 $SDL_1$ により互いに接続されていると共に、ビット線サンプルセル $SCB_{11} \sim SCB_{1n}$ は、それぞれのコントロールゲート電極がサンプルワード線 $SWL_1$ により互いに接続されている。

#### 【0069】

さらに、メモリセル領域11の各メモリセル $MC_{11} \sim MC_{mn}$ 及びサンプルセル領域12の各サンプルセル(即ちワード線サンプルセル $SCW_{11} \sim SCW_{m1}$ 及び

ビット線サンプルセル  $SCB_{11} \sim SCB_{1n}$ ) は、それぞれのソース電極が1つのソース線  $SL$  により互いに接続されている。

#### 【0070】

また、サンプルセル領域 12 において、サンプルワード線  $SWL_1$  とサンプルビット線  $SBL_1$  とが交差する領域には、ダミーセル  $SCD_{11}$  が形成されている。なお、ダミーセル  $SCD_{11}$  は、サンプルセルを行列状に配列する上で形式的に配置されているのであって、バーンイン工程でのストレスをモニターする上では必要とされないため、省略されていてもよい。

#### 【0071】

第1の実施形態の特徴として、メモリセルではフローティングゲート電極に蓄積された電荷が移動し難いように構成されており、サンプルセルではフローティングゲート電極に蓄積された電荷が移動し易いように構成されている。

#### 【0072】

以下に、第1の実施形態に係るメモリセルアレイ 10 におけるメモリセルとサンプルセルとの違いについて図面を参照しながら説明する。

#### 【0073】

図3 (a) 及び図3 (b) は、第1の実施形態に係る半導体記憶装置におけるメモリセル及びサンプルセルのしきい値電圧の分布を示すグラフであり、図3 (a) はワード線及びビット線にストレスが印加される前のしきい値電圧の分布を示し、図3 (b) はビット線又はワード線にストレスが印加された後のしきい値電圧の分布を示している。図3 (a) 及び図3 (b) において、横軸はメモリセル及びサンプルセルのしきい値電圧  $V_t$  を表し、縦軸はメモリセル及びサンプルセルの個数を表している。なお、図3 (a) と図3 (b) とにおいて、横軸及び縦軸は共に同一のスケールである。

#### 【0074】

図3 (a) に示すように、ストレスを印加される前において、メモリセル及びサンプルセルに書き込まれたデータにより、しきい値が高い状態（メモリセル “0” 及びサンプルセル “0” ）と、しきい値電圧が低い状態（メモリセル “1” 及びサンプルセル “1” ）との2つの状態に分かれている。このとき、メモリセ

ル及びサンプルセルの特性のばらつきにより、しきい値電圧は所定の広がりを持って分布している。ストレス印加前において、メモリセル“0”及びサンプルセル“0”のしきい値電圧の平均値はほぼ同一の値 $M_0$ であり、また、メモリセル“1”及びサンプルセルのしきい値電圧の平均値はほぼ同一の値 $M_1$ である。

#### 【0075】

図3(b)に示すように、バーンイン装置を用いてストレスとなる電圧を印加することにより、メモリセル及びサンプルセルの各フローティングゲート電極に保持された電荷が移動してそれぞれのしきい値電圧が変化する。ここで、図3(b)において、横向きの矢印は、メモリセル及びサンプルセルにおけるストレス印加によるしきい値電圧の変化量を示している。メモリセルではフローティングゲート電極に蓄積された電荷が移動し難いように構成されており、サンプルセルではフローティングゲート電極に蓄積された電荷が移動し易いように構成されているため、ストレス印加により、メモリセル“1”ではしきい値電圧がわずかに上昇する程度であるのに対して、サンプルセル“1”ではしきい値電圧が大きく上昇する。同様に、メモリセル“0”ではしきい値電圧がわずかに下降する程度であるのに対してサンプルセル“0”ではしきい値電圧が大きく下降する。

#### 【0076】

第1の実施形態において、半導体記憶装置に対するディスタート試験では、サンプルセルのしきい値電圧の変化量を調べることにより、規定された通りのストレスが印加されたか否かを判定する。

#### 【0077】

即ち、バーンイン工程の後に、テストを用いて各サンプルセルのしきい値電圧を調べ、“1”データを保持するサンプルセルのしきい値電圧が $V_{S1}$ よりも大きい値を有し、且つ“0”データを保持するサンプルセルのしきい値電圧が $V_{S0}$ よりも大きい値を有する場合には正常なストレスが印加されたと判定する。

#### 【0078】

正常なストレスが印加されなかったと判定された場合には、バーンイン装置から入力する電圧を調整して再びストレスを印加する。また、正常なストレスが印加されたと判定された場合には、テスト等を用いて各メモリセルのしきい値電



圧を調べ、“1”データを保持するメモリセルのしきい値電圧が $V_{M1}$ よりも小さく、且つ“0”データを保持するメモリセルのしきい値電圧が $V_{M0}$ よりも大きい場合にはディスタ urb不良がないと判定する。

#### 【0079】

以上説明したように、第1の実施形態に係る半導体記憶装置によると、メモリセルにおけるしきい値電圧の変化量に比べてサンプルセルにおけるしきい値電圧の変化量が大きくなるように設定されているため、サンプルセルにおいてバーンイン工程後のしきい値電圧の変化量を調べることにより、正しいストレスが印加された否かを判定することが可能となる。従って、規定された通りの正常なストレスが印加された場合に、メモリセルにおいて、バーンイン工程後のしきい値電圧の変化量を調べてディスタ urb不良の有無を確実に検査することができる。

#### 【0080】

なお、第1の実施形態において、メモリセル及びサンプルセルの構成として、スタック型のEEPROMセルを用いた構成について説明したが、メモリセル及びサンプルセルは、スタック型のEEPROMセルに限られず、フローティングゲート電極の側方にコントロールゲート電極を併設したスプリット型のEEPROMセル、又は、電荷を蓄積する強誘電体キャパシタと、読み出し用のトランジスタとによって構成されたFeRAMセルを用いても同様に実施可能である。

#### 【0081】

また、第1の実施形態において、サンプルセル領域は、ワード線サンプルセルとビット線サンプルセルとの両方が形成されている必要はない。即ち、メモリセルアレイの構成又は駆動方法によっては、ワード線又はビット線に印加されるストレスは、半導体記憶装置の信頼性にほとんど影響を与えない場合もある。このような半導体記憶装置では、ディスタ urb試験においてワード線及びビット線のうち的一方にストレスを印加しなくてもよいため、ワード線サンプルセル及びビット線サンプルセルのうち的一方を省略してもよい。

#### 【0082】

以下に、第1の実施形態に係る半導体記憶装置において、前述したようなしきい値電圧の変化特性の違いを実現するメモリセル及びサンプルセルの具体的な構

成について図面を参照しながら説明する。

#### 【0083】

ーメモリセル及びサンプルセルの具体例ー

図4(a)は第1の実施形態に係る半導体記憶装置のメモリセル及びサンプルセルの断面構成をビット線が延びる方向に沿って示している。図4(a)に示すように、メモリセル20は、例えば、シリコンからなる半導体基板21には、フィールド絶縁膜により区画された活性領域に不純物拡散により形成されたソース拡散領域21a及びドレイン拡散領域21bと、半導体基板21上に形成された酸化シリコンからなるトンネル絶縁膜22と、ポリシリコンからなるフローティングゲート電極23と、第1のシリコン酸化膜、シリコン窒化膜及び第2のシリコン酸化膜が順次積層された容量絶縁膜となるONO膜24と、ポリシリコンからなるコントロールゲート電極25とによって構成されている。

#### 【0084】

ここで、コントロールゲート電極25は、行方向に並ぶメモリセル同士で共有されてワード線となる。また、ソース拡散領域21aはソース線と接続されてソース電極となり、ドレイン拡散領域21bはビット線と接続されてドレイン電極となる。コントロールゲート電極25にはゲート電圧 $V_g$ が印加され、ソース拡散領域21a及びドレイン拡散領域21bにはそれぞれソース電圧 $V_s$ 及びドレイン電圧 $V_d$ が印加される。

#### 【0085】

また、サンプルセル30は、フローティングゲート電極23とコントロールゲート電極25との間に、容量絶縁膜として第1のシリコン酸化膜及び第2のシリコン酸化膜が順次積層されたシリコン酸化膜(OO膜)24Aが設けられている。なお、サンプルセル30において、容量絶縁膜以外の構成要素はメモリセル20と同一であるため説明を省略する。

#### 【0086】

このようなサンプルセル30を実現するには、メモリセル形成領域及びサンプルセル形成領域において、まず、容量絶縁膜形成工程のうちの第1のシリコン酸化膜及びシリコン窒化膜を順次積層する工程までを同一の工程により行う。その

後、メモリセル形成領域をマスクし且つサンプルセル形成領域を開口するマスクを用いて、サンプルセル領域のシリコン窒化膜を選択的に除去する。続いて、第2のシリコン酸化膜を堆積することにより、メモリセル形成領域には第1のシリコン酸化膜、シリコン窒化膜及び第2のシリコン酸化膜が順次積層された積層膜が形成され、サンプルセル形成領域には第1のシリコン酸化膜及び第2のシリコン酸化膜が積層された積層膜が形成される。その後、コントロールゲート電極となるポリシリコン膜を堆積し、所定の形状にパターンニングしてメモリセル20にはONO膜24が形成され、サンプルセル30には第1のシリコン酸化膜及び第2のシリコン酸化膜が積層された積層膜としてシリコン酸化膜24Aが形成される。

#### 【0087】

図4(b)は図4(a)のメモリセル20及びサンプルセル30に対してストレスを印加した場合の電荷の移動の様子を模式的に示している。

#### 【0088】

図4(b)に示すように、ゲート電極にストレスとして約5Vの電圧を印加し、ソース電圧及びドレイン電圧をそれぞれ0Vとする。メモリセル20では電荷が絶縁性の大きいONO膜24を用いているため、容量絶縁膜を介した電荷の移動がほとんど生じない。これに対して、サンプルセル30ではONO膜24とくらべて絶縁性が小さいシリコン酸化膜24Aを用いているため、容量絶縁膜を通過してコントロールゲート電極25へと電荷が移動してしまう。

#### 【0089】

このように、メモリセル20の容量絶縁膜にはONO膜24を用い、サンプルセル30の容量絶縁膜には、ONO膜24よりも抵抗率が小さいシリコン酸化膜24Aを用いることにより、ディスタープ試験におけるストレスの印加の際にサンプルセル30における電荷の変化量がメモリセル20における電荷の変化量よりも大きくなるようにメモリセル20とサンプルセル30とを形成することができる。

#### 【0090】

なお、第1の実施形態において、シリコン酸化膜24Aは、ONO膜24を構

成する第1のシリコン酸化膜及び第2のシリコン酸化膜が順次積層された積層膜として説明したが、ONO膜24よりも抵抗率が小さくなるように構成されていればよく、第1のシリコン酸化膜又は第2のシリコン酸化膜の単層膜であってもよい。

#### 【0091】

(第1の実施形態の第1変形例)

以下に、第1の実施形態の第1変形例に係る半導体記憶装置について図面を参照しながら説明する。

#### 【0092】

第1の実施形態の第1変形例に係る半導体記憶装置では、サンプルセルの断面構成が図4(a)に示す第1の実施形態のサンプルセルと異なっており、半導体記憶装置のブロック構成及びメモリセルアレイの回路構成はそれぞれ図1及び図2に示した半導体記憶装置及びメモリセルアレイと同一であるため説明を省略する。

#### 【0093】

図5(a)は第1の実施形態の半導体記憶装置におけるサンプルセル30の断面構成を示している。なお、メモリセルの構成は図4(a)に示すメモリセル20と同一であるため図示と説明とを省略する。図5(a)に示すように、第1変形例のサンプルセル30は、フローティングゲート電極23の上部に、突起部(スパイク)23aが設けられている点がメモリセル20と異なっている。

#### 【0094】

このようなサンプルセル30を実現するには、メモリセル形成領域及びサンプルセル形成領域において、フローティングゲート電極形成用の第1のポリシリコン膜を堆積する工程までは、同一の工程を用いて行う。このとき、第1のポリシリコン膜は、平滑な半導体基板21上にトンネル絶縁膜22を介して堆積により形成されるので、その上面はほぼ平滑である。その後、メモリセル形成領域をマスクし且つサンプルセル形成領域を開口するマスクパターンを用いて、サンプルセル形成領域の第1ポリシリコン膜を、例えば、表面凹凸状の押圧部材により第1のポリシリコン膜におけるサンプルセル領域に露出した部分を押圧すること等

により、サンプルセル形成領域の第 1 ポリシリコン膜上部に突起部を形成する。その後、ONO 膜 24 及びコントロールゲート電極 25 となる第 2 ポリシリコン膜を順次堆積し、所定の形状にパターニングする。これにより、メモリセル 20 のフローティングゲート電極 23 は上面が平滑に形成され、サンプルセル 30 のフローティングゲート電極 23 は上部に突起部 23 a が形成される。

#### 【0095】

図 5 (b) は第 1 変形例のサンプルセルにおける電荷の移動を説明するための断面図である。図 5 (b) に示すように、サンプルセル 30 において、ゲート電極に 5 V の電圧を印加すると、フローティングゲート電極 23 の突起部 23 a に電界が集中するため、フローティングゲート電極 23 に蓄積された電荷が突起部 23 a から ONO 膜 24 を通ってコントロールゲート電極 25 へと移動してしまう。

#### 【0096】

このように、メモリセル 20 のフローティングゲート電極 23 の上面は平滑に形成し、サンプルセルのフローティングゲート電極 23 には上部に突起部 23 a を設けて上面を凹凸状に形成することにより、ディスタープ試験におけるストレスの印加の際にサンプルセル 30 における電荷の変化量がメモリセル 20 における電荷の変化量よりも大きくなるようにメモリセル 20 とサンプルセル 30 とを形成することができる。

#### 【0097】

(第 1 の実施形態の第 2 変形例)

以下に、第 1 の実施形態の第 2 変形例に係る半導体記憶装置について図面を参照しながら説明する。

#### 【0098】

第 1 の実施形態の第 2 変形例に係る半導体記憶装置では、サンプルセルの断面構成が図 4 (a) に示す第 1 の実施形態のサンプルセルと異なっており、半導体記憶装置のブロック構成及びメモリセルアレイの回路構成はそれぞれ図 1 及び図 2 に示した半導体記憶装置及びメモリセルアレイと同一であるため説明を省略する。

## 【0099】

図6 (a) 及び (b) は第2変形例のサンプルセルについて説明する断面図であって、(a) はメモリセル20及びサンプルセル30におけるコントロールゲート電極が延びる方向に沿った断面構成を示し、(b) はコントロールゲート電極が延びる方向と直交する方向の断面構成を示している。

## 【0100】

図6 (a) に示すように、第2変形例では、メモリセル20とサンプルセル30とにおいて、それぞれのフローティングゲート電極23のワード線方向の長さ寸法が異なっており、メモリセル20では、フローティングゲート電極23がトンネル絶縁膜22と同じ程度の長さ寸法に形成されているのに対して、サンプルセル30では、フローティングゲート電極23は、トンネル絶縁膜22が形成された領域からフィールド絶縁膜26の上にまで延びるようにワード線方向に沿って長く形成されている。

## 【0101】

即ち、メモリセル20では、フローティングゲート電極23と半導体基板21とが対向す面積は、フローティングゲート電極とコントロールゲート電極25とが対向する面積とほぼ等しいのに対し、サンプルセル30では、フローティングゲート電極23と半導体基板21との対向面積が、フローティングゲート電極とコントロールゲート電極25とが対向する面積よりも大きくなるように形成されている。

## 【0102】

このようなサンプルセル30を実現するには、トンネル絶縁膜22及びフィールド絶縁膜を形成して活性領域及び素子分離領域を形成する工程においては、メモリセル形成領域とサンプルセル形成領域とに同じ大きさのマスクパターンを用い、フローティングゲート電極23を形成する工程において、メモリセル形成領域では活性領域を開口し、サンプルセル領域では、活性領域から素子分離領域の上までを開口するように、異なる大きさの開口パターンを用いる。これにより、フローティングゲート電極23は、サンプルセル30ではフィールド絶縁膜26の上側にまで延びるように形成される。

**【0103】**

このように、第2変形例のサンプルセル30を形成するために特別なマスクを用いる必要が無く、メモリセル20のみを形成する場合と比べて工程数が増大しない。

**【0104】**

図6(b)は、前述のように構成された第2変形例に係るメモリセル20及びサンプルセル30における動作時の電荷の様子を、ビット線が延びる方向に沿った断面図として示している。

**【0105】**

図6(b)に示すように、第2変形例のメモリセル20は、第1の実施形態と同様に電荷がほとんど移動しない。これに対して、第2変形例のサンプルセル30では、フローティングゲート電極23からトンネル絶縁膜22を介してソース電極へと電荷が移動してしまう。これは、容量カップリング比が、メモリセル20のよりもサンプルセル30の方が大きくされていることによる。即ち、フローティングゲート電極23とコントロールゲート電極25とが容量絶縁膜を介して対向する対向面積は、メモリセル20と比べてサンプルセル30の方が大きく形成されていることにより、ディスタ urb試験におけるストレスの印加の際にサンプルセル30における電荷の変化量がメモリセル20における電荷の変化量よりも大きくなるようにメモリセル20とサンプルセル30とを形成することができる。

**【0106】**

(第1の実施形態の第3変形例)

以下に、第1の実施形態の第3変形例に係る半導体記憶装置について図面を参照しながら説明する。

**【0107】**

第1の実施形態の第3変形例に係る半導体記憶装置では、メモリセルアレイ10においてメモリセル領域11の間にサンプルセル領域12が配置されている点が第1の実施形態と異なっている。

**【0108】**

図7は第1の実施形態の第3変形例に係る半導体記憶装置を示すブロック図である。図7に示すように、メモリセル領域11は4つのブロックに分割されており、サンプルセル領域12は各メモリセル領域11同士の間形成されている。つまり、図1及び図2に示すメモリセルアレイ10ではm行n列に配列されたメモリセルにおけるm行目及びn列目のメモリセルと接続しているが、図7のメモリセルアレイ10では、i行目とi+1行目（但し、 $i < m$ である）との間にビット線サンプルセルSCB<sub>11</sub>～SCB<sub>1n</sub>を配置し、j行目とj+1行目（但し、 $j < n$ である）との間にワード線サンプルセルSCW<sub>11</sub>～SCW<sub>m1</sub>が配置されている。

#### 【0109】

このように、メモリセルアレイ10において、サンプルセルが設けられる位置は、ワード線WL<sub>1</sub>～WL<sub>m</sub>及びビット線BL<sub>1</sub>～BL<sub>n</sub>の端部に限られず、メモリセル同士の間設けられていてもよい。

#### 【0110】

しかし、ディスタープ試験をより精密に行うためには、図1に示したサンプルセル領域12のように、ワード線サンプルセルSCW<sub>11</sub>～SCW<sub>m1</sub>はワード線ドライバ13と反対側に設けられ、ビット線サンプルセルSCB<sub>11</sub>～SCB<sub>1n</sub>はビット線ドライバ14の反対側に設けられることが好ましい。各サンプルセルを電圧の供給源となるドライバからより離れた位置に配置することにより、ワード線抵抗及びビット線抵抗による電圧降下の影響を含めた場合に、すべてのメモリセルに対して規定された通りのストレスが印加されたか否かをサンプルセルにより検査することができる。

#### 【0111】

##### （第2の実施形態）

以下に、本発明の第2の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

#### 【0112】

第2の実施形態に係る半導体記憶装置のブロック構成は図1と同様であり、メモリセルアレイ10において、メモリセル領域11とサンプルセル領域12との



間の接続を切り離すスイッチ手段を設けている点が第1の実施形態と異なっている。

#### 【0113】

図8は第2の実施形態に係る半導体記憶装置のメモリセルアレイの回路構成を示している。図8に示すように、メモリセルアレイ10において、メモリセル領域11とサンプルセル領域12との間の接続を制御するスイッチ手段として、ワード線サンプルセル $SCW_{11} \sim SCW_m$ とメモリセル $MC_{1n} \sim MC_{mn}$ との各コントロールゲート電極同士の間をそれぞれに接続するヒューズ $FW_1 \sim FW_m$ が設けられると共に、ビット線サンプルセル $SCB_{11} \sim SCB_{1n}$ とメモリセル $MC_{m1} \sim MC_{mn}$ との各ドレイン同士の間をそれぞれに接続するヒューズ $FB_1 \sim FB_n$ が設けられている。

#### 【0114】

ここで、ディスタープ試験が終了した後に、各ヒューズ $FW_1 \sim FW_m$ 、 $FB_1 \sim FB_n$ を、レーザトリマ等を用いて切断するか、又はメモリセルアレイにおける各ワード線及び各ビット線に大電流を印加することにより切断する。

#### 【0115】

ここで、サンプルセルは、ディスタープ特性を劣化して形成されているため、例えば、トンネル絶縁膜はメモリセルと比べて破壊耐性が劣化し易い等、データを読み書きする動作に関しては信頼性が低い。

#### 【0116】

従って、第1の実施形態に係る半導体記憶装置では、サンプルセル領域12をワード線 $WL_1 \sim WL_m$ 及びビット線 $BL_1 \sim BL_n$ と切り離す手段が設けられていないため、メモリセル $MC_{1n} \sim MC_{mn}$ に対するデータの読み書きを行う通常動作の際に、サンプルセルのコントロールゲート電極とソース電極又はドレイン電極とが短絡してワード線の電位を制御できなくなる等の不具合が発生する虞がある。

#### 【0117】

これに対し、第2の実施形態に係る半導体記憶装置では、ディスタープ試験が終了した後に各ヒューズ $FW_1 \sim FW_m$ 、 $FB_1 \sim FB_n$ を切断して、サンプル

セル領域 12 をワード線  $WL_1 \sim WL_m$  及びビット線  $BL_1 \sim BL_n$  と切り離すことができるため、サンプルセルによる通常動作時の不具合を防止して信頼性を向上することができる。

#### 【0118】

(第2の実施形態の一変形例)

以下に、本発明の第2の実施形態の一変形例に係る半導体記憶装置について図面を参照しながら説明する。

#### 【0119】

図9は第2の実施形態の一変形例に係る半導体記憶装置のメモリセルアレイの回路構成を示している。

#### 【0120】

図9に示すように、メモリセルアレイ 10 において、メモリセル領域 11 とサンプルセル領域 12 との間の接続を切り離すスイッチ手段として、ワード線サンプルセル  $SCW_{11} \sim SCW_{m1}$  とメモリセル  $MC_{1n} \sim MC_{mn}$  との各コントロールゲート電極同士の間をそれぞれに接続するスイッチトランジスタ  $STW_1 \sim STW_m$  が設けられると共に、ビット線サンプルセル  $SCB_{11} \sim SCB_{1n}$  とメモリセル  $MC_{m1} \sim MC_{mn}$  との各ドレイン同士の間をそれぞれに接続するスイッチトランジスタ  $STB_1 \sim STWB_n$  が設けられている。

#### 【0121】

スイッチトランジスタ  $STW_1 \sim STW_n$  ,  $STB_1 \sim STWB_n$  の各ゲート電極には、それぞれ制御信号  $SSW$  ,  $SSB$  が接続されており、バーンイン工程には制御信号  $SSB$  ,  $SST$  によりそれぞれスイッチトランジスタ  $STW_1 \sim STW_n$  ,  $STB_1 \sim STWB_n$  がオンされる。

#### 【0122】

ここで、制御信号  $SSB$  ,  $SST$  として、バーンイン時にワード線及びビット線に印加される電圧値よりも十分に大きい電圧値を用いてスイッチトランジスタ  $STW_1 \sim STW_n$  ,  $STB_1 \sim STWB_n$  を制御する。このようにすると、スイッチトランジスタ  $STW_1 \sim STW_n$  ,  $STB_1 \sim STWB_n$  の抵抗が十分に小さくされるため、ビット線及びワード線に印加された電圧が降下されることな

く対応するサンプルセルにも印加されるので、正常なストレスが印加されたか否かを確実に検出することができる。

#### 【0123】

さらに、第2の実施形態の第1変形例に係る半導体記憶装置において、制御信号SSB、SSTを“H”レベルにするか“L”レベルにするかをメモリセル領域11の所定の領域に記憶させている。

#### 【0124】

具体的には、制御信号SSB、SSTは、メモリセル領域11の所定メモリセルが“1”データであれば“H”レベルとなり、当該メモリセルが“0”データであれば“L”レベルとなるようにする。

#### 【0125】

このようにすると、バーンイン工程の前にはメモリセル領域11の所定のメモリセルに“1”データを記憶させることにより、制御信号SSB、SSTを“H”レベルとしてスイッチトランジスタSTW<sub>1</sub>～STW<sub>n</sub>、STB<sub>1</sub>～STWB<sub>n</sub>をオン制御し、ディスタープ試験終了後に当該メモリセルを“0”データとして制御信号SSB、SSTを“L”レベルとしてスイッチトランジスタSTW<sub>1</sub>～STW<sub>n</sub>、STB<sub>1</sub>～STWB<sub>n</sub>をオフ制御する。このようにすると、ディスタープ試験終了後には確実にサンプルセル領域が不活性化される。

#### 【0126】

第2の実施形態の第1変形例によると、ヒューズを切断するよりも低コストにサンプルセル領域をメモリセル領域から切り離すことができる。

#### 【0127】

(第3の実施形態)

以下に、本発明の第3の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

#### 【0128】

図10は第3の実施形態に係る半導体記憶装置のブロック構成を示している。

#### 【0129】

図10に示すように、ビット線ドライバ14には、読み出し回路31を介して

平均化回路 32 が設けられている。なお、読み出し回路 31 は、第 1 の実施形態において説明したように、読み出し動作を行う制御回路のことである。

### 【0130】

第 3 の実施形態に係る半導体記憶装置の特徴は、メモリセルアレイ 10 のサンプルセル領域 12 において、1 つのビット線又はワード線のそれぞれに複数のサンプルセルが設けられており、平均化回路 32 において、複数のサンプルセルにおけるしきい値電圧の変化量を平均化して読み出すことを特徴としている。

### 【0131】

図 11 は第 3 の実施形態に係る半導体記憶装置のメモリセルアレイを示す回路図である。図 11 に示すように、ワード線  $WL_1 \sim WL_m$  に印加されたストレスをモニターするためのサンプルセルとして、ワード線  $WL_1 \sim WL_m$  のそれぞれに、互いに直列に接続された 3 つのワード線サンプルセル  $SCW_{11} \sim SCW_{m1}$ ,  $SCW_{12} \sim SCW_{m2}$ ,  $SCW_{13} \sim SCW_{m3}$  が設けられている。また、ビット線  $BL_1 \sim BL_n$  に印加されたストレスをモニターするためのサンプルセルとして、ビット線  $BL_1 \sim BL_n$  のそれぞれに、互いに直列に接続された 3 つのビット線サンプルセル  $SCB_{11} \sim SCB_{1n}$ ,  $SCB_{21} \sim SCB_{2n}$ ,  $SCB_{31} \sim SCB_{3n}$  とを有している。

### 【0132】

ここで、ワード線サンプルセル  $SCW_{11} \sim SCW_{m1}$  はそれぞれのドレイン電極がサンプルビット線  $SBL_1$  により互いに接続され、ワード線サンプルセル  $SCW_{12} \sim SCW_{m2}$  はそれぞれのドレイン電極がサンプルビット線  $SBL_2$  により互いに接続され、ワード線サンプルセル  $SCW_{13} \sim SCW_{m3}$  はそれぞれのドレイン電極がサンプルビット線  $SBL_3$  により互いに接続されている。同様に、ビット線サンプルセル  $SCB_{11} \sim SCB_{1n}$  はそれぞれのコントロールゲート電極がサンプルワード線  $SWL_1$  により互いに接続され、ビット線サンプルセル  $SCB_{21} \sim SCB_{2n}$  はそれぞれのコントロールゲート電極がサンプルワード線  $SWL_2$  により互いに接続され、ビット線サンプルセル  $SCB_{31} \sim SCB_{3n}$  はそれぞれのコントロールゲート電極がサンプルワード線  $SWL_3$  により互いに接続されている。

### 【0133】

なお、第3の実施形態のサンプルセル領域12において、各サンプルワード線と各サンプルビット線とが交差する領域には、ダミーセルSCD<sub>11</sub>～SCD<sub>33</sub>が形成されているが、これらのダミーセルSCD<sub>11</sub>～SCD<sub>33</sub>はサンプルセルを行列状に配列する上で形式的に配置されているのであって、省略されていてもよい。

#### 【0134】

第3の実施形態に係る半導体記憶装置において、デイスターブ試験を行う場合には、バーンイン工程により各ビット線に印加されたストレスは、3つのビット線サンプルセルに印加される。

#### 【0135】

1つのビット線BL<sub>1</sub>に印加されたストレスを調べる場合には、読み出し回路31により、コントロールゲート電圧を図3のV<sub>S1</sub>レベル又はV<sub>S0</sub>レベルとして3つのビット線サンプルセルSCB<sub>11</sub>、SCB<sub>21</sub>、SCB<sub>31</sub>に対する読み出し動作を行い、しきい値電圧がV<sub>S1</sub>以下又はV<sub>S0</sub>以上である場合にはパス信号を平均化回路32に入力し、しきい値電圧がV<sub>S1</sub>より大きい又はV<sub>S0</sub>より小さいある場合にはフェイル信号を平均化回路32に入力する。平均化回路32においては、読み出し回路31から入力されるパス信号又はフェイル信号のうちのいずれが多い方を判定結果として出力する。

#### 【0136】

このようにビット線及びワード線に対して複数のサンプルセルを用いてストレス印加の良否を判定することにより、各サンプルセルの特性にばらつきがある場合でも、そのばらつきの影響を低減してストレス印加の良否を判定することができる。

#### 【0137】

なお、第3の実施形態において、1つのビット線又はワード線と接続されるサンプルセルの数は3つに限られず、2つ以上であればよい。

#### 【0138】

また、第3の実施形態において、サンプルセルの配置は、メモリセル領域の外周部に限られず、サンプルセルをメモリセル同士の間にも配置してもよい。

## 【0139】

また、第3の実施形態において、メモリセル領域11とサンプルセル領域12との間の接続を制御するスイッチ手段として図8に示すヒューズ又は図9に示すスイッチトランジスタを設けてもよい。

## 【0140】

(第4の実施形態)

以下に、本発明の第4の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

## 【0141】

第4の実施形態に係る半導体記憶装置では、サンプルセル領域において、ビット線及びワード線のそれぞれに、互いに独立に制御可能な複数のサンプルセルが設けられている点が第1の実施形態と異なっており、その他の各部材の構成は図1と同様であるため図示と説明とを省略する。

## 【0142】

図12は第4の実施形態に係る半導体記憶装置のメモリセルアレイを示す回路図である。図12に示すように、ワード線 $WL_1 \sim WL_m$ に印加されたストレスをモニターするためのサンプルセルとして、それぞれがスイッチトランジスタ $STW_{11} \sim STW_{m1}$ ,  $STW_{12} \sim STW_{m2}$ ,  $STW_{13} \sim STW_{m3}$ を介して互いに並列に接続された3つのワード線サンプルセル $SCW_{11} \sim SCW_{m1}$ ,  $SCW_{12} \sim SCW_{m2}$ ,  $SCW_{13} \sim SCW_{m3}$ が設けられている。また、ビット線 $BL_1 \sim BL_n$ に印加されたストレスをモニターするためのサンプルセルとして、それぞれがスイッチトランジスタ $STB_{11} \sim STB_{1n}$ ,  $STB_{21} \sim STB_{2n}$ ,  $STB_{31} \sim STB_{3n}$ を介して互いに並列に接続された3つのビット線サンプルセル $SCB_{11} \sim SCB_{1n}$ ,  $SCB_{21} \sim SCB_{2n}$ ,  $SCB_{31} \sim SCB_{3n}$ が設けられている。

## 【0143】

ここで、ワード線サンプルセル $SCW_{11} \sim SCW_{m1}$ はそれぞれのドレイン電極がサンプルビット線 $SB_{L_1}$ により互いに接続され、ワード線サンプルセル $SCW_{12} \sim SCW_{m2}$ はそれぞれのドレイン電極がサンプルビット線 $SB_{L_2}$ により互いに接続され、ワード線サンプルセル $SCW_{13} \sim SCW_{m3}$ はそれぞれのドレイン

電極がサンプルビット線  $SB L_3$  により互いに接続されている。同様に、ビット線サンプルセル  $SC B_{11} \sim SC B_{1n}$  はそれぞれのコントロールゲート電極がサンプルワード線  $SW L_1$  により互いに接続され、ビット線サンプルセル  $SC B_{21} \sim SC B_{2n}$  はそれぞれのコントロールゲート電極がサンプルワード線  $SW L_2$  により互いに接続され、ビット線サンプルセル  $SC B_{31} \sim SC B_{3n}$  はそれぞれのコントロールゲート電極がサンプルワード線  $SW L_3$  により互いに接続されている。

#### 【0144】

また、スイッチトランジスタ  $ST W_{11} \sim ST W_{m1}$ ,  $ST W_{12} \sim ST W_{m2}$ ,  $ST W_{13} \sim ST W_{m3}$  はそれぞれのゲート電極が制御信号  $SS W_1$ ,  $SS W_2$ ,  $SS W_3$  により互いに接続されている。同様に、スイッチトランジスタ  $ST B_{11} \sim ST B_{1n}$ ,  $ST B_{21} \sim ST B_{2n}$ ,  $ST B_{31} \sim ST B_{3n}$  はそれぞれのゲート電極が制御信号  $SS B_1$ ,  $SS B_2$ ,  $SS B_3$  により互いに接続されている。

#### 【0145】

なお、第4の実施形態のサンプルセル領域12において、各サンプルワード線と各サンプルビット線とが交差する領域には、ダミーセル  $SC D_{11} \sim SC D_{33}$  が形成されているが、これらのダミーセル  $SC D_{11} \sim SC D_{33}$  はサンプルセルを行列状に配列する上で形式的に配置されているのであって、省略されていてもよい。

#### 【0146】

第4の実施形態に係る半導体記憶装置において、デイスターブ試験を行う際に、例えばビット線  $BL_1 \sim BL_n$  にストレスを印加する場合であれば、制御信号  $SS B_1$ ,  $SS B_2$ ,  $SS B_3$  により、3つのスイッチトランジスタ  $ST B_{11} \sim ST B_{1n}$ ,  $ST B_{21} \sim ST B_{2n}$ ,  $ST B_{31} \sim ST B_{3n}$  を独立して制御することにより、3つのビット線サンプルセル  $SC B_{11} \sim SC B_{1n}$ ,  $SC B_{21} \sim SC B_{2n}$ ,  $SC B_{31} \sim SC B_{3n}$  のいずれかを選択してストレスを印加することができる。

#### 【0147】

従って、例えばビット線  $BL_1 \sim BL_n$  にストレスを印加する時間を切り換えて、ビット線サンプルセル  $SC B_{11} \sim SC B_{1n}$  にストレスを印加する時間と、ビット線サンプルセル  $SC B_{21} \sim SC B_{2n}$  にストレスを印加する時間と、ビット線

サンプルセル  $SCB_{31} \sim SCB_{3n}$  にストレスを印加する時間とをそれぞれに独立して制御することができる。

【0148】

このように、第4の実施形態に係る半導体記憶装置によると、ストレスを印加する時間を変更しながらデイスターブ試験を行う場合に、バーンイン装置を用いたバーンイン工程とテスト等によりサンプルセルのしきい値電圧を測定する工程とを繰り返して行う必要が無く、ストレス条件を詳細に設定しながらもデイスターブ試験を容易に且つ確実に実施することができる。

【0149】

(第5の実施形態)

以下に、本発明の第5の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

【0150】

図13は第5の実施形態に係る半導体記憶装置を示すブロック図である。図13に示すように、メモリセルアレイ10は、データを保持するためのメモリセル領域11と、デイスターブ試験において印加されたストレスをモニターするためのサンプルセル領域12Aとを有している。また、メモリセルアレイ10を駆動する周辺回路として、ワード線及びサンプルセルワード線を駆動するワード線ドライバ13と、ビット線及びサンプルビット線を駆動するビット線ドライバ14と、ソース線ドライバ15とを備えている。また、読み出し回路31の後段には、各メモリセル及び各リファレンスセルに対して書き込み又は消去動作の後のしきい値電圧が所定のレベルに達しているか否かを検証するためのメモリセルリファレンス回路33及びサンプルセルリファレンス回路34が設けられている。

【0151】

ここで、メモリセルアレイ10において、メモリセル領域11の各メモリセル及びサンプルセル領域12Aの各サンプルセルは、図4(a)に示したメモリセル20と同一の部材により構成されている。

【0152】

第5の実施形態では、メモリセルに対してはメモリセルリファレンス回路33



を用いてベリファイ動作を行い、サンプルセルとに対してはサンプルセルリファレンス回路 34 を用いてベリファイ動作を行う。ここで、サンプルセルリファレンス回路 34 は、“0” データと判定するリファレンス電圧としてサンプルセルにメモリセルよりも大きい電圧値を設定し、“1” データと判定するリファレンス電圧としてサンプルセルにメモリセルよりも小さい電圧値を設定する。

#### 【0153】

これにより、ニュートラル状態（即ち、“0” データを保持する状態と“1” データを保持する状態との中間の状態）のフローティングゲート電極に保持された電荷量を基準として、“0” データ又は“1” データを保持するサンプルセルの電荷量の差が、メモリセルよりもサンプルセルの方が大きくなる。

#### 【0154】

ここで、メモリセル及びサンプルセルにおいて、フローティングゲート電極に保持された電荷は、ニュートラル状態に保持されている電荷量と、書き込み状態又は消去状態に保持されている電荷量との差が大きい程、ストレスの印加により移動しやすくなる。

#### 【0155】

従って、バーンイン工程により、サンプルセルは、メモリセルと比べて、しきい値電圧が大きく変動するため、バーンイン工程の後、各サンプルセルのしきい値電圧をテスト等を用いて調べることにより、“0” データを保持するサンプルセルではしきい値電圧が  $V_{S0}$  よりも小さく、“1” データを保持するサンプルセルではしきい値電圧が  $V_{S1}$  よりも大きいことにより、正常なストレスが印加されたと判定することができる。

#### 【0156】

以上説明したように、第 5 の実施形態によると、バーンイン工程を行う前のデータの書き込み動作又は消去動作とそのベリファイ動作を行うことにより、メモリセルとサンプルセルとのしきい値電圧に差を設けることができるため、バーンイン工程におけるメモリセルとサンプルセルとのディスタート特性に差を設ける上で異なる部材を用いる必要がなく、メモリセルアレイ 10 の製造工程を第 1 の実施形態よりも簡略化することができる。

## 【0157】

なお、図13において、読み出し回路31とメモリセルリファレンス回路33及びサンプルセルリファレンス回路34とを別の回路として図示しているが、このような構成に限られず、メモリセルに対するベリファイ動作とサンプルセルに対するベリファイ動作とにおいて、それぞれに異なる基準電圧を設定できるように構成されていればよい。

## 【0158】

## (第6の実施形態)

以下に、本発明の第6の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

## 【0159】

図14は第6の実施形態に係る半導体記憶装置を示すブロック図である。図14に示すように、メモリセルアレイ10は、メモリセル領域11とサンプルセル領域12Aとを有し、メモリセル領域11の各メモリセルとサンプルセル領域12Aのサンプルセルとは、同一の部材により構成されている。また、メモリセルアレイ10を駆動する周辺回路として、ワード線及びサンプルセルワード線を駆動するワード線ドライバ13と、ビット線及びサンプルビット線を駆動するビット線ドライバ14と、メモリセル領域11のソース線を駆動するソース線ドライバ15と、サンプルセル領域のサンプルソース線を駆動するサンプルソース線ドライバ35、36とを備えている。

## 【0160】

図15は第6の実施形態に係る半導体記憶装置のメモリセルアレイ10を示す回路図である。図15に示すように、メモリセル領域11において、メモリセル $MC_{11} \sim MC_{mn}$ のソース電極はそれぞれ1つのソース線SLと接続されている。また、ワード線サンプルセル $SCW_{11} \sim SCW_{m1}$ のソース電極はサンプルソース線SSLWと接続されており、ビット線プルセル $SCB_{11} \sim SCB_{1n}$ のソース電極はそれぞれサンプルソース線SLBと接続されている。また、サンプルソース線SSLWはサンプルソース線ドライバ35と接続され、サンプルソース線SLBはそれぞれサンプルソース線ドライバ36と接続されている。

**【0161】**

第6の実施形態に係る半導体記憶装置によると、サンプルソース線SSLW, SSLBをサンプルソース線ドライバ35, 36により、メモリセルと接続されたソース線とは独立して制御できるため、デイスターブ試験において、サンプルセルにのみソース電極に、ワード線又はビット線に印加されるストレスとは逆方向のストレスを与えることができる。これにより、サンプルセルとメモリセルとが同一の部材により構成されている場合であっても、メモリセルにおけるしきい値電圧の変化量とサンプルセルにおけるしきい値電圧の変化量とに差を設けることができる。

**【0162】**

(第7の実施形態)

以下に、本発明の第7の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

**【0163】**

図16は第7の実施形態に係る半導体記憶装置のメモリセルアレイを示す回路図である。

**【0164】**

図16に示すように、メモリセルアレイ10は、メモリセル領域11と、第1のサンプルセル領域12aと、第2のサンプルセル領域12bとを有し、メモリセル領域11のメモリセル及び第1のサンプルセル領域12aのサンプルセルは、図5(a)のメモリセル20と同一の部材により構成され、第2のサンプルセル領域12bは図5(a)のサンプルセル30と同一の部材により構成されている。

**【0165】**

ここで、第7の実施形態に係る半導体記憶装置は、図13に示す第5の実施形態と同等のブロック構成を有しており、第1のサンプルセル領域12aに対してはサンプルセルリファレンス回路34を用いてベリファイ動作を行い、第2のサンプルセル領域12bに対しては、メモリセルリファレンス回路33を用いてベリファイ動作を行う。

**【0166】**

第1のサンプルセル領域12aの各サンプルセルは、“0”データと判定する判定電圧としてサンプルセルにメモリセルよりも大きい電圧値を設定し、“1”データと判定する判定電圧としてサンプルセルにメモリセルよりも小さい電圧値を設定してベリファイ動作が行われることにより、ニュートラルな状態を基準として、“0”データ又は“1”データを保持するサンプルセルの電荷量が、メモリセルよりもサンプルセルの方が大きくなる。

**【0167】**

なお、第2のサンプルセル領域12bにおいて、メモリセル領域11のメモリセルと異なるしきい値電圧の変動特性を有していればよく、サンプルセルの構成は図5(a)のサンプルセル30に換えて、図6(a)に示すサンプルセル又は図7(a)のサンプルセル30と同一の部材により構成されていてもよい。

**【0168】**

以上説明したように、第7の実施形態に係る半導体記憶装置によると、サンプルセルに、メモリセルと異なる部材を用いることによりしきい値電圧が調節されたサンプルセル（ワード線サンプルセル $SCW_{11} \sim SCW_{m2}$ 及びビット線サンプルセル $SCB_{11} \sim SCB_{2n}$ ）と、メモリセルと異なる制御を行うことによりしきい値電圧が調節されたサンプルセル（ワード線サンプルセル $SCW_{13} \sim SCW_{m3}$ 及びビット線サンプルセル $SCB_{31} \sim SCB_{3n}$ ）とを用いることにより、2種類の方法を用いてストレスをモニターできるため、ディスターブ試験をより精密に行うことができる。

**【0169】****【発明の効果】**

本発明の第1の半導体記憶装置及び第2の半導体記憶装置によると、ディスターブ試験におけるバーンイン工程の後に、サンプルセルのしきい値電圧をテスト等を用いて測定することにより、サンプルセルのしきい値電圧の変化量が規定された以上であれば、バーンイン工程において十分なストレスが印加されたと判定し、しきい値電圧の変化量が規定された変化量よりも小さければ十分なストレスが印加されなかったと判定することができる。また、サンプルセルはメモリセル

アレイの一部分として形成されるため、ディスタープ試験の際に規定した通りのストレスが印加されたか否かを判定チップ面積を増大させることなく低コストに実現することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体記憶装置を示すブロック図である。

【図 2】

本発明の第 1 の実施形態に係る半導体記憶装置のメモリセルアレイを示す回路図である。

【図 3】

(a) 及び (b) は、本発明の第 1 の実施形態に係る半導体記憶装置におけるメモリセルとサンプルセルとのしきい値電圧の分布を示すグラフであって、(a) はストレスを印加する前の状態におけるしきい値電圧の分布を示すグラフであり、(b) はストレスを印加した後の状態におけるしきい値電圧の分布を示すグラフである。

【図 4】

(a) は本発明の第 1 の実施形態に係る半導体記憶装置におけるメモリセル及びサンプルセルを示す構成断面図であり、(b) は (a) に示すメモリセル及びサンプルセルに対してストレスを印加した場合の電荷の様子を模式的に示す構成断面図である。

【図 5】

(a) は本発明の第 1 の実施形態の第 1 変形例に係る半導体記憶装置におけるサンプルセルを示す構成断面図であり、(b) は (a) に示すサンプルセルに対してストレスを印加した場合の電荷の様子を模式的に示す構成断面図である。

【図 6】

(a) は本発明の第 1 の実施形態の第 2 変形例に係る半導体記憶装置におけるメモリセル及びサンプルセルを示す構成断面図であり、(b) は (a) に示すメモリセル及びサンプルセルに対してストレスを印加した場合の電荷の様子を模式的に示す構成断面図である。

**【図 7】**

本発明の第 1 の実施形態の第 3 変形例に係る半導体記憶装置を示すブロック図である。

**【図 8】**

本発明の第 2 の実施形態に係る半導体記憶装置におけるメモリセルアレイを示す回路図である。

**【図 9】**

本発明の第 2 の実施形態の一変形例に係る半導体記憶装置におけるメモリセルアレイを示す回路図である。

**【図 10】**

本発明の第 3 の実施形態に係る半導体記憶装置を示すブロック図である。

**【図 11】**

本発明の第 3 の実施形態に係る半導体記憶装置におけるメモリセルアレイを示す回路図である。

**【図 12】**

本発明の第 4 の実施形態に係る半導体記憶装置におけるメモリセルアレイを示す回路図である。

**【図 13】**

本発明の第 5 の実施形態に係る半導体記憶装置を示すブロック図である。

**【図 14】**

本発明の第 6 の実施形態に係る半導体記憶装置を示すブロック図である。

**【図 15】**

本発明の第 6 の実施形態に係る半導体記憶装置におけるメモリセルアレイの構成を示す回路図である。

**【図 16】**

本発明の第 7 の実施形態に係る半導体記憶装置におけるメモリセルアレイの構成を示す回路図である。

**【図 17】**

第 1 の従来例に係るフラッシュ E E P R O M 装置を示すブロック図である。

## 【図 18】

第2の従来例に係るフラッシュEEPROM装置に対するディスタープ試験の様子を示すブロック図である。

## 【符号の説明】

- 10     メモリセルアレイ
- 11     メモリセル領域 (第1メモリセル)
- 12     サンプルセル領域 (第2メモリセル)
- 12A   サンプルセル領域 (第2メモリセル)
- 12a   第1のサンプルセル領域 (同型セル)
- 12b   第2のサンプルセル領域 (異型セル)
- 13     ワード線ドライバ
- 14     ビット線ドライバ
- 15     ソース線ドライバ
- 20     メモリセル
- 30     サンプルセル
- 21     半導体基板
- 22     トンネル絶縁膜
- 23     フローティングゲート電極
- 23a   突起部
- 23A   フローティングゲート電極
- 24     ONO膜
- 24A   シリコン酸化膜
- 25     コントロールゲート電極
- 26     フィールド絶縁膜
- 31     読み出し回路
- 32     平均化回路
- 33     メモリセル用リファレンス回路
- 34     サンプルセル用リファレンス回路
- 35     サンプルソース線ドライバ

## 36 サンプルソース線ドライバ

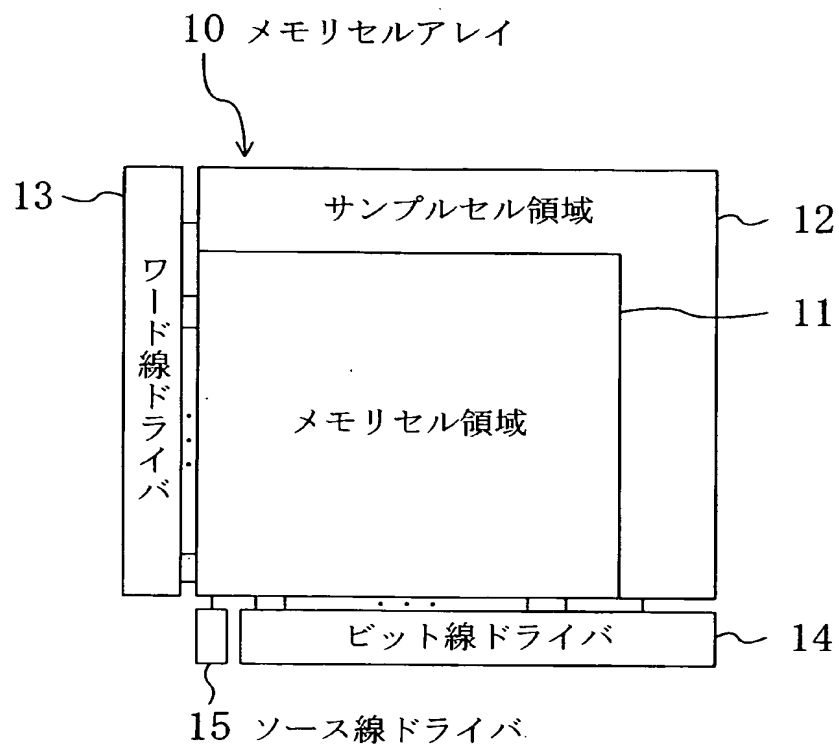
$MC_{11} \sim MC_{mn}$	メモリセル (第1メモリセル)
$SCW_{11} \sim SCW_{m3}$	ワード線サンプルセル (第2メモリセル)
$SCB_{11} \sim SCB_{3n}$	ビット線サンプルセル (第2メモリセル)
$SCD_{11} \sim SCD_{33}$	ダミーセル
$WL_1 \sim WL_m$	ワード線
$BL_1 \sim BL_n$	ビット線
$SL$	ソース線 (第1ソース線)
$SWL_1 \sim SWL_3$	サンプルワード線
$SBL_1 \sim SBL_3$	サンプルビット線
$SSLW$	サンプルソース線 (第2ソース線)
$SSLB$	サンプルソース線 (第2ソース線)
$FW_1 \sim FW_m$	ヒューズ (スイッチ手段)
$FB_1 \sim FB_n$	ヒューズ (スイッチ手段)
$STW_1 \sim STW_m$	スイッチトランジスタ (スイッチ手段)
$STB_1 \sim STB_n$	スイッチトランジスタ (スイッチ手段)
$SSW$	制御信号
$SSB$	制御信号
$STW_{11} \sim STW_{m3}$	スイッチトランジスタ
$STB_{11} \sim STB_{3n}$	スイッチトランジスタ
$SSW_1 \sim SSW_3$	制御信号
$SSB_1 \sim SSB_3$	制御信号



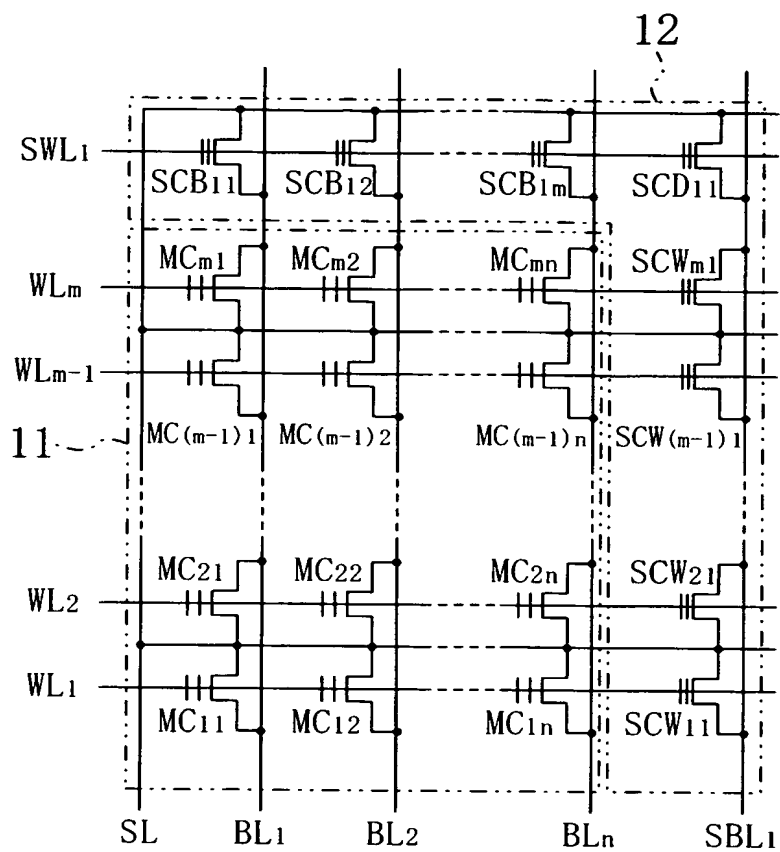
【書類名】

図面

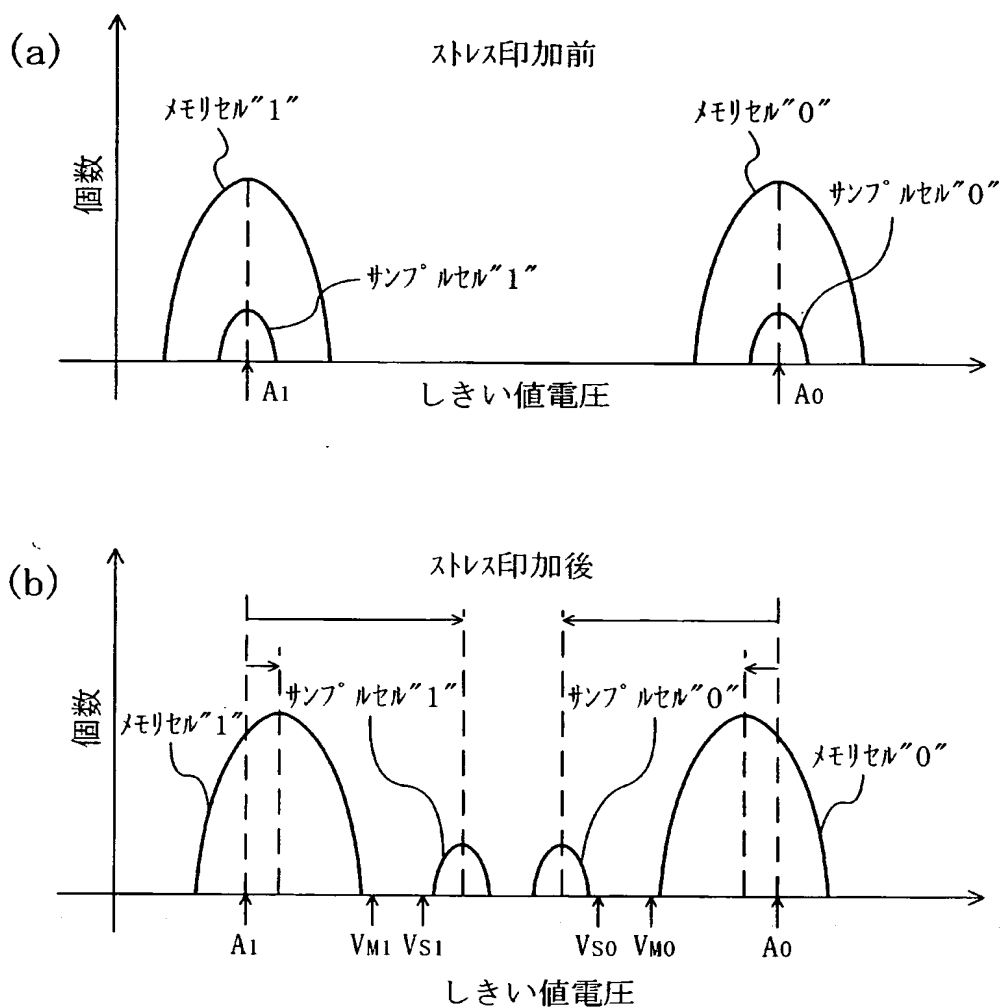
【図 1】



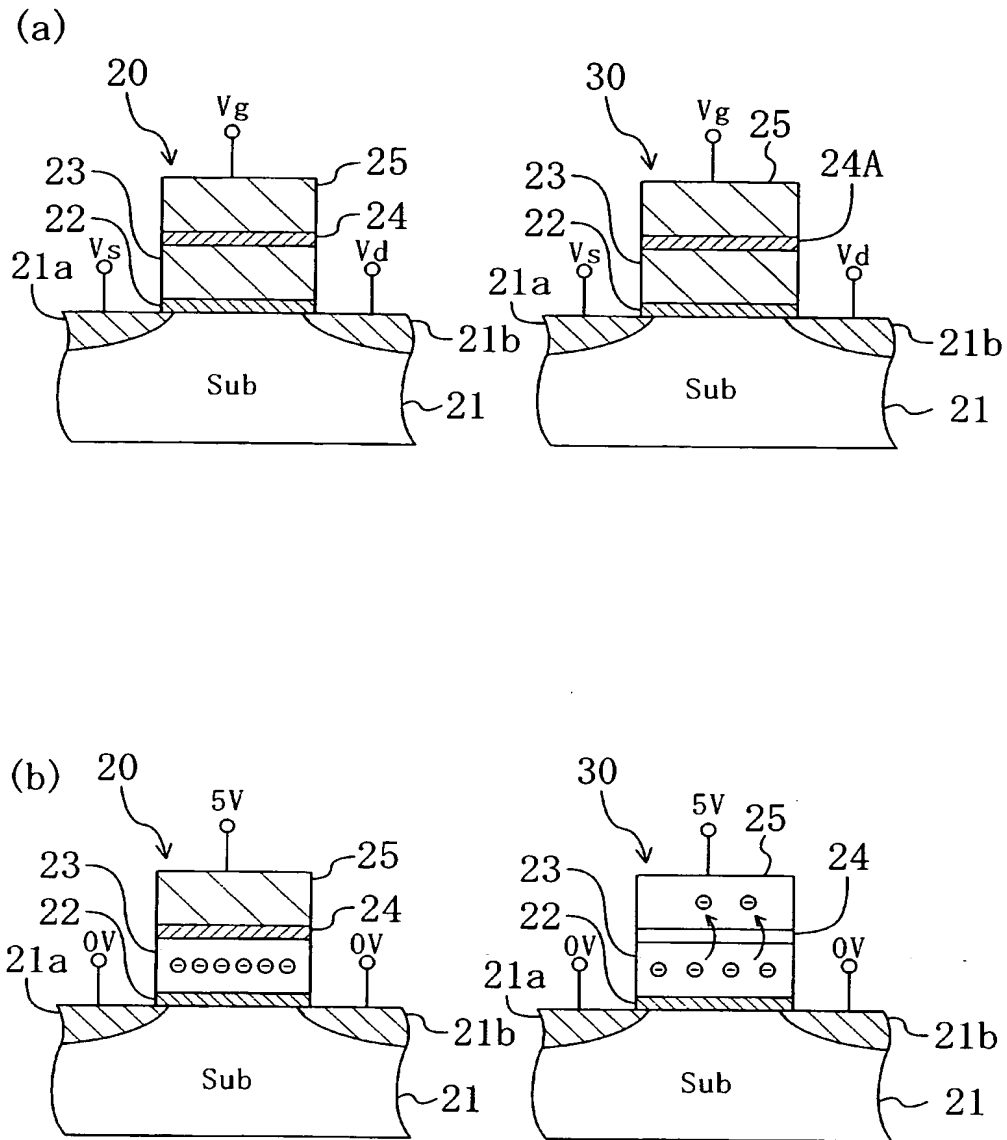
【図 2】



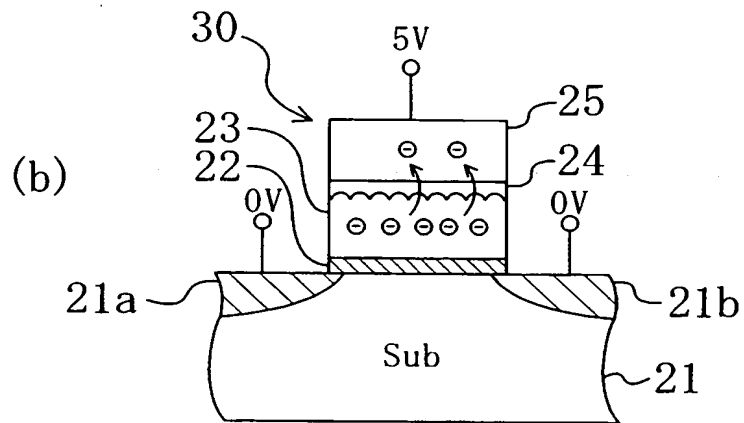
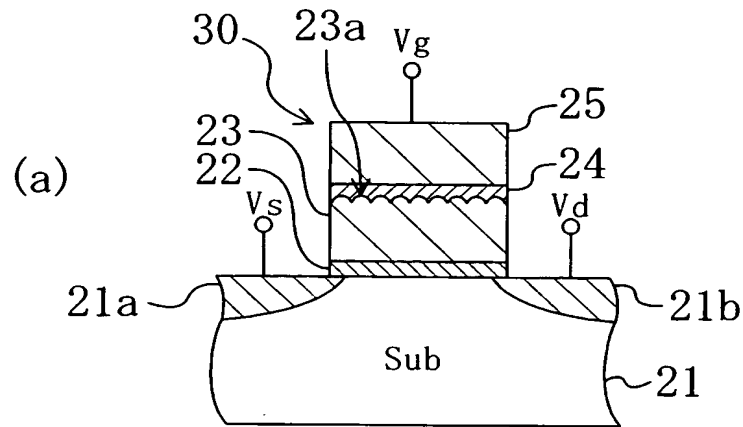
【図 3】



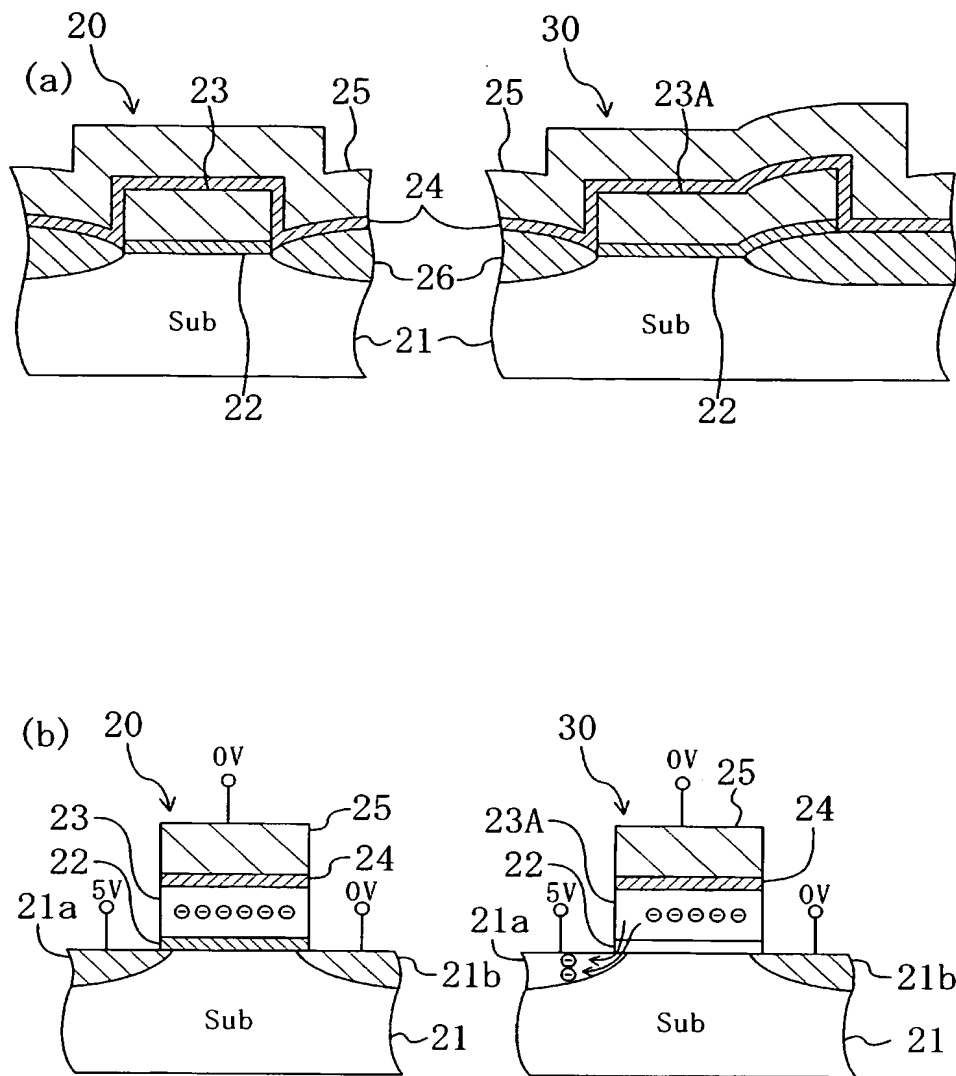
【図 4】



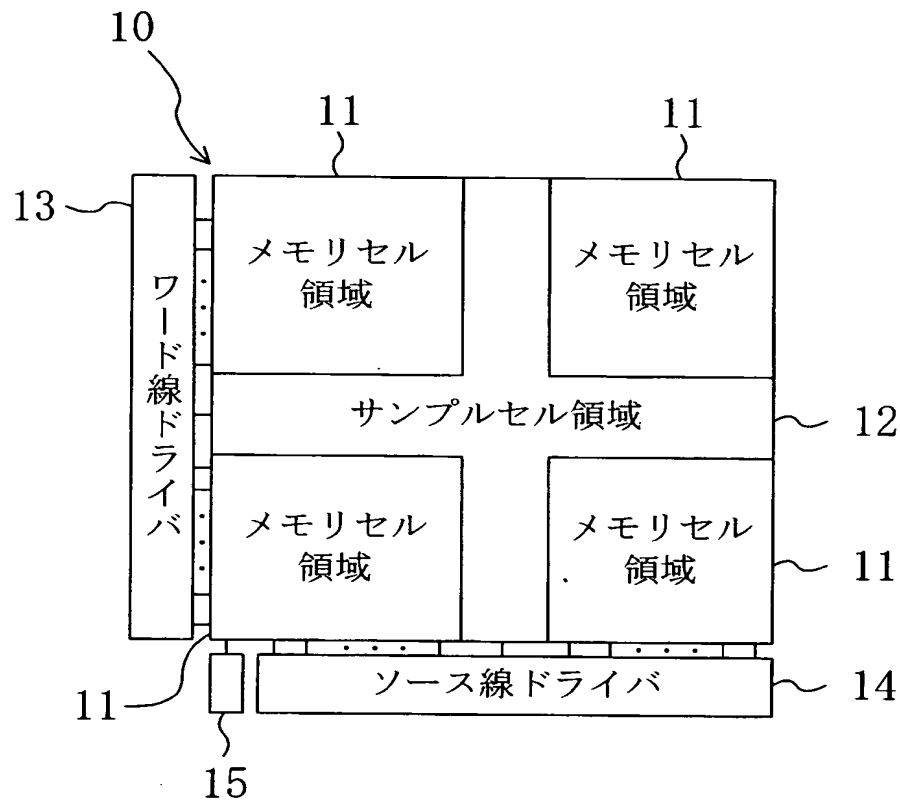
【図 5】



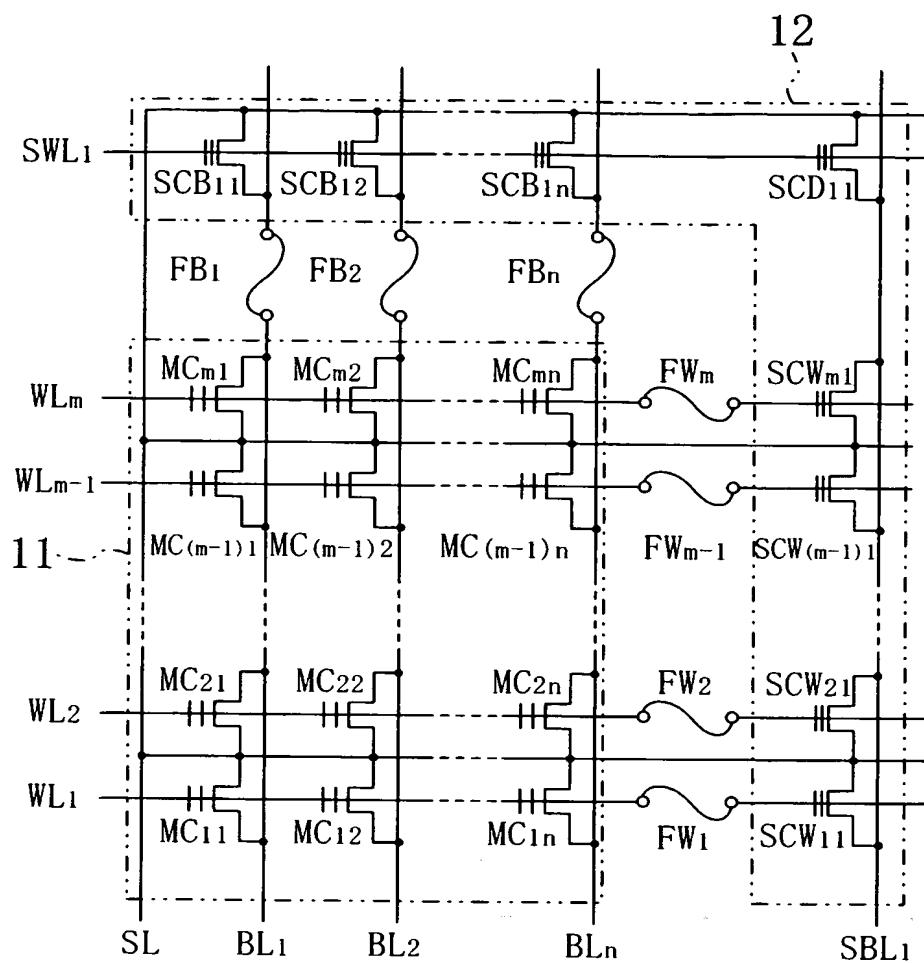
【図 6】



【図 7】

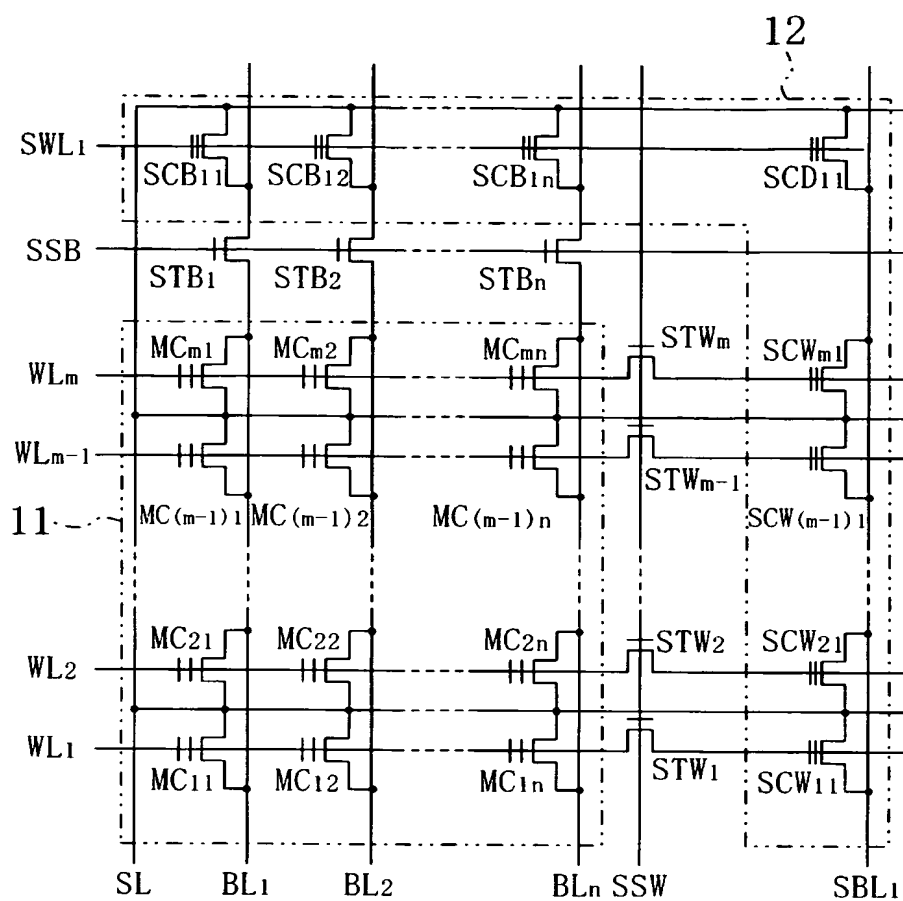


【図 8】

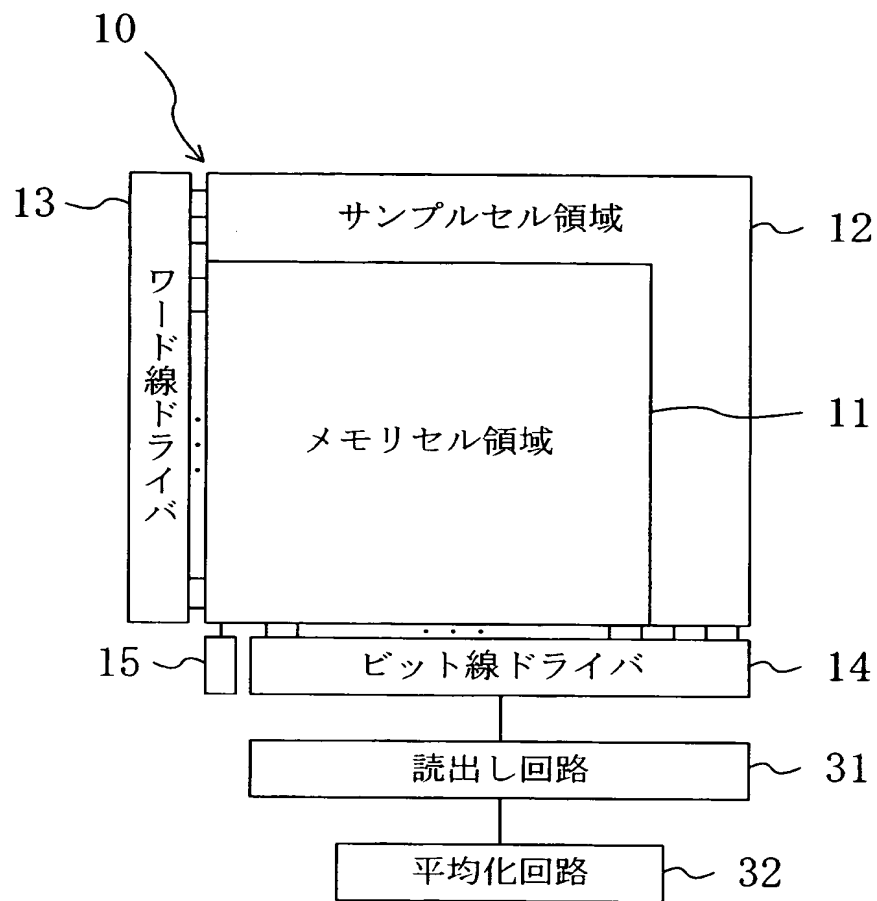




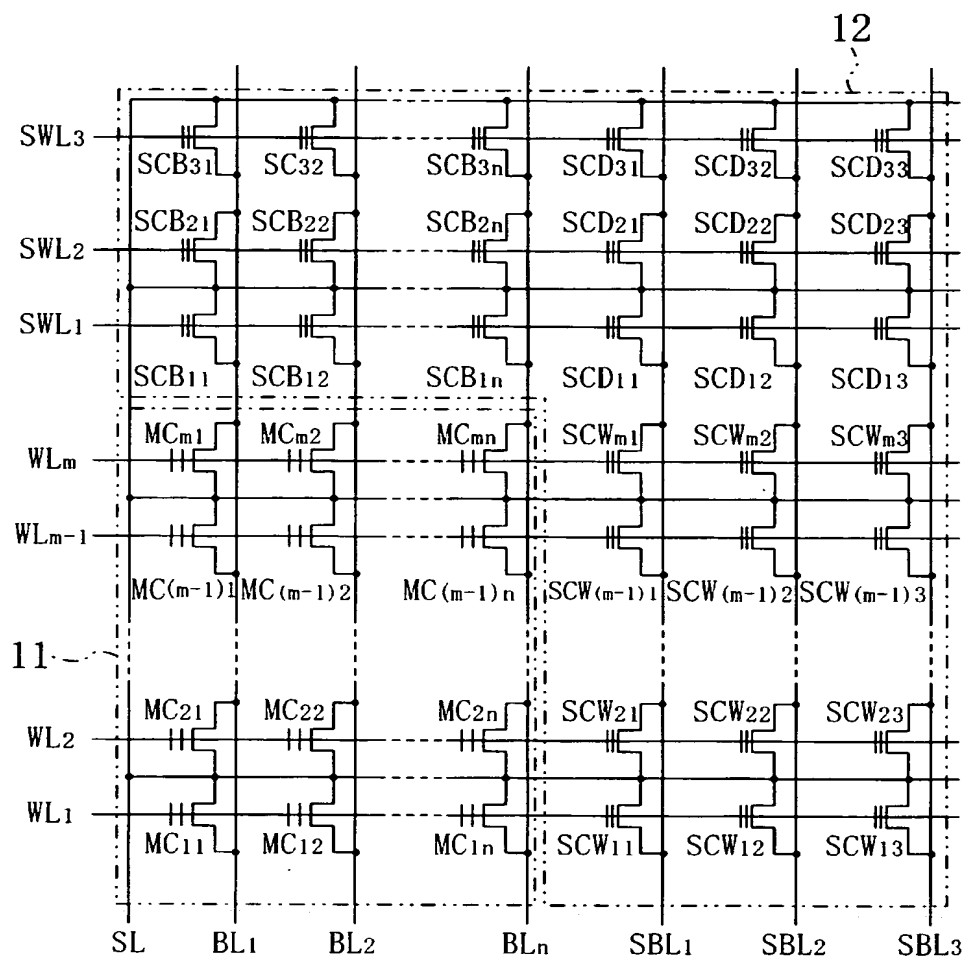
【図 9】



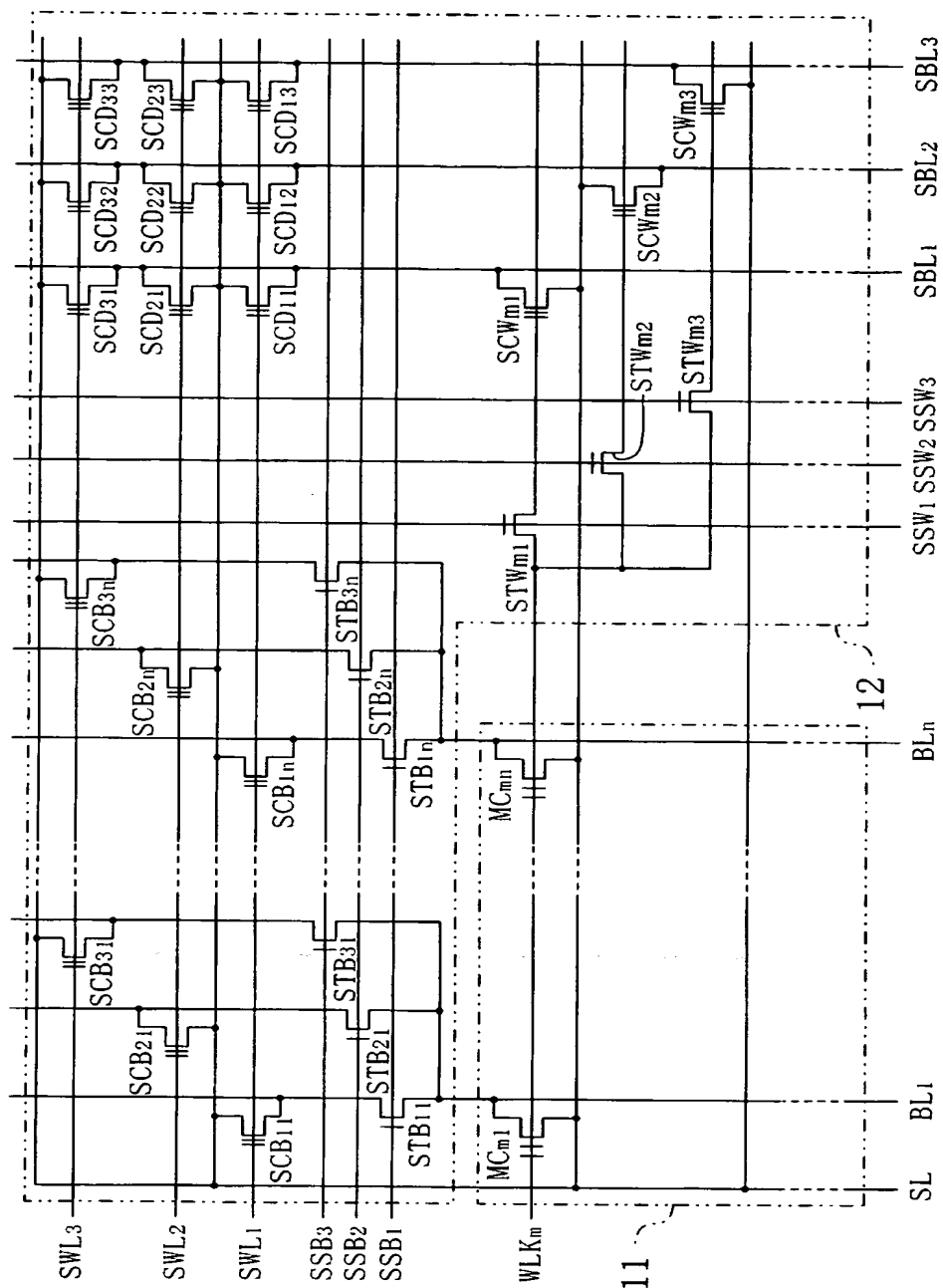
【図 10】



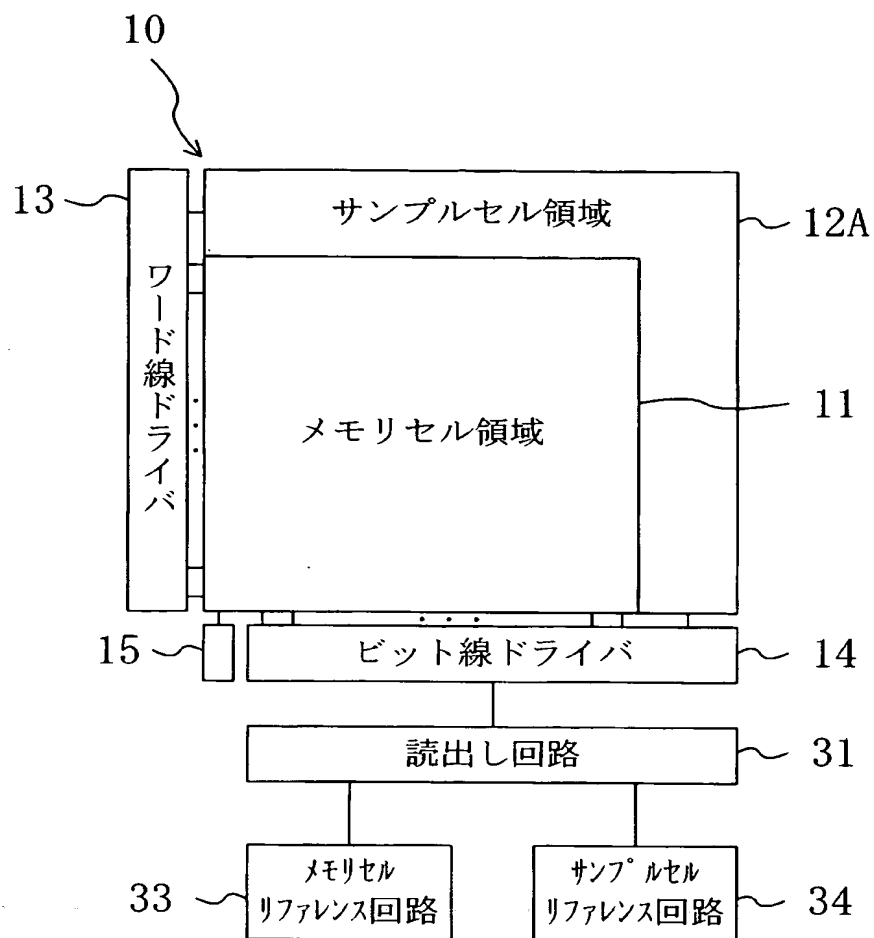
【図 11】



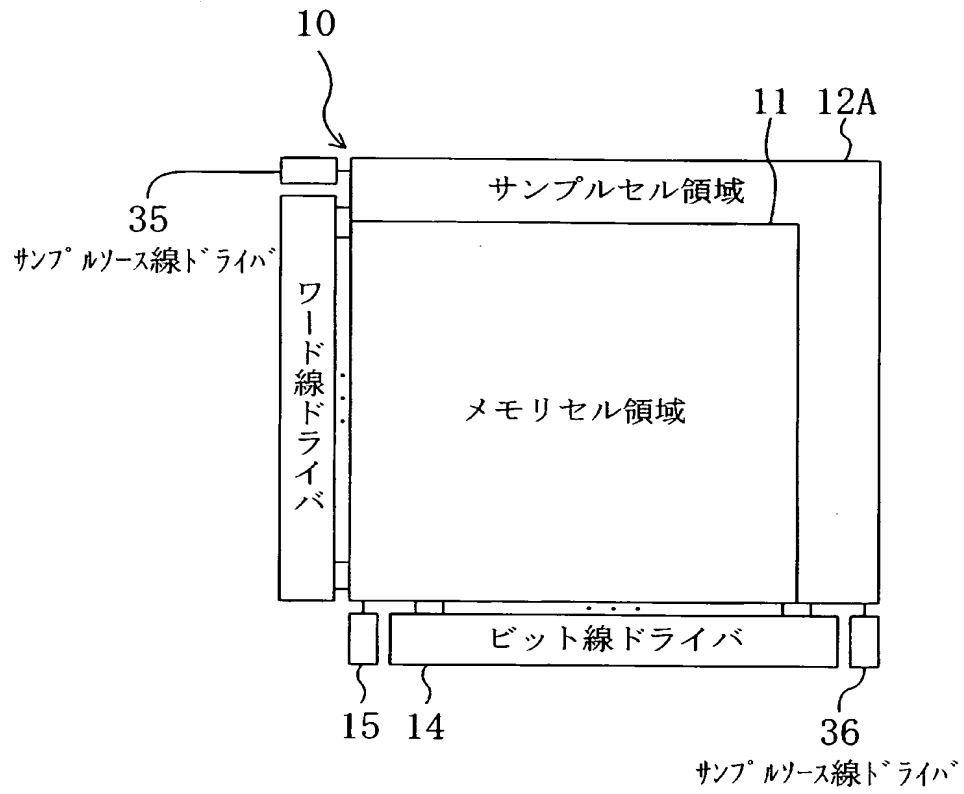
【図 12】



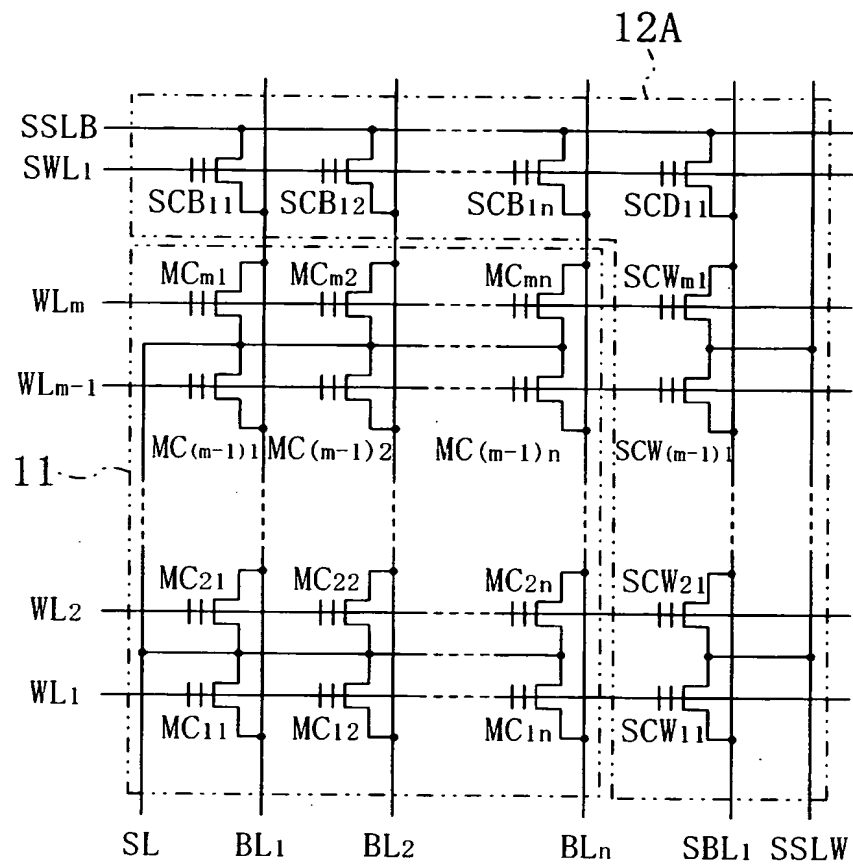
【図 13】



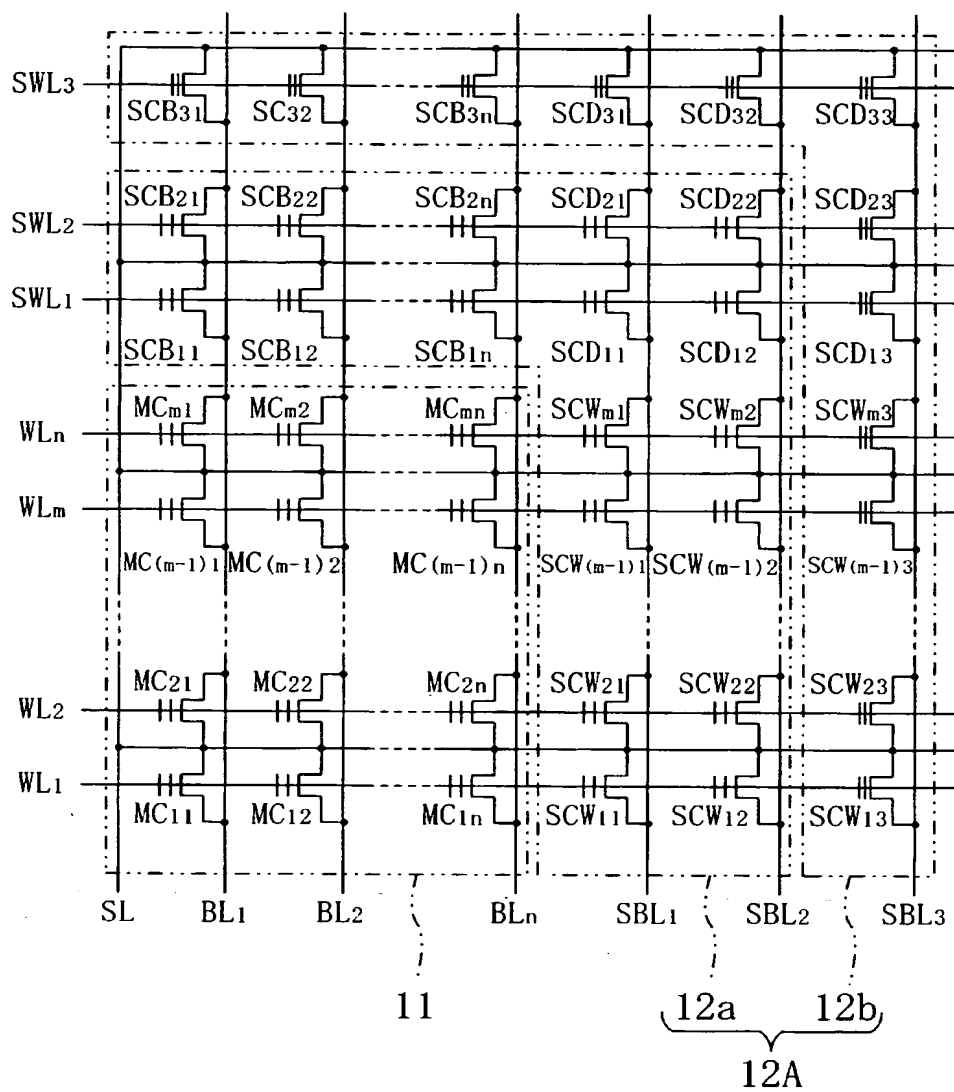
【図 14】



【図 15】

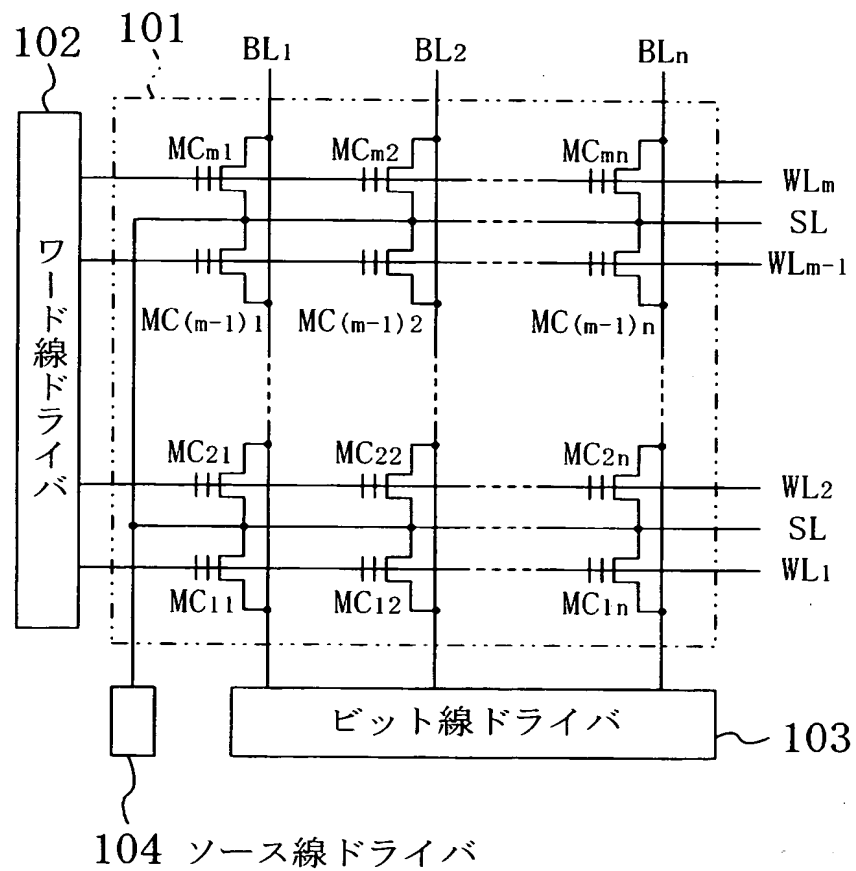


【図 16】

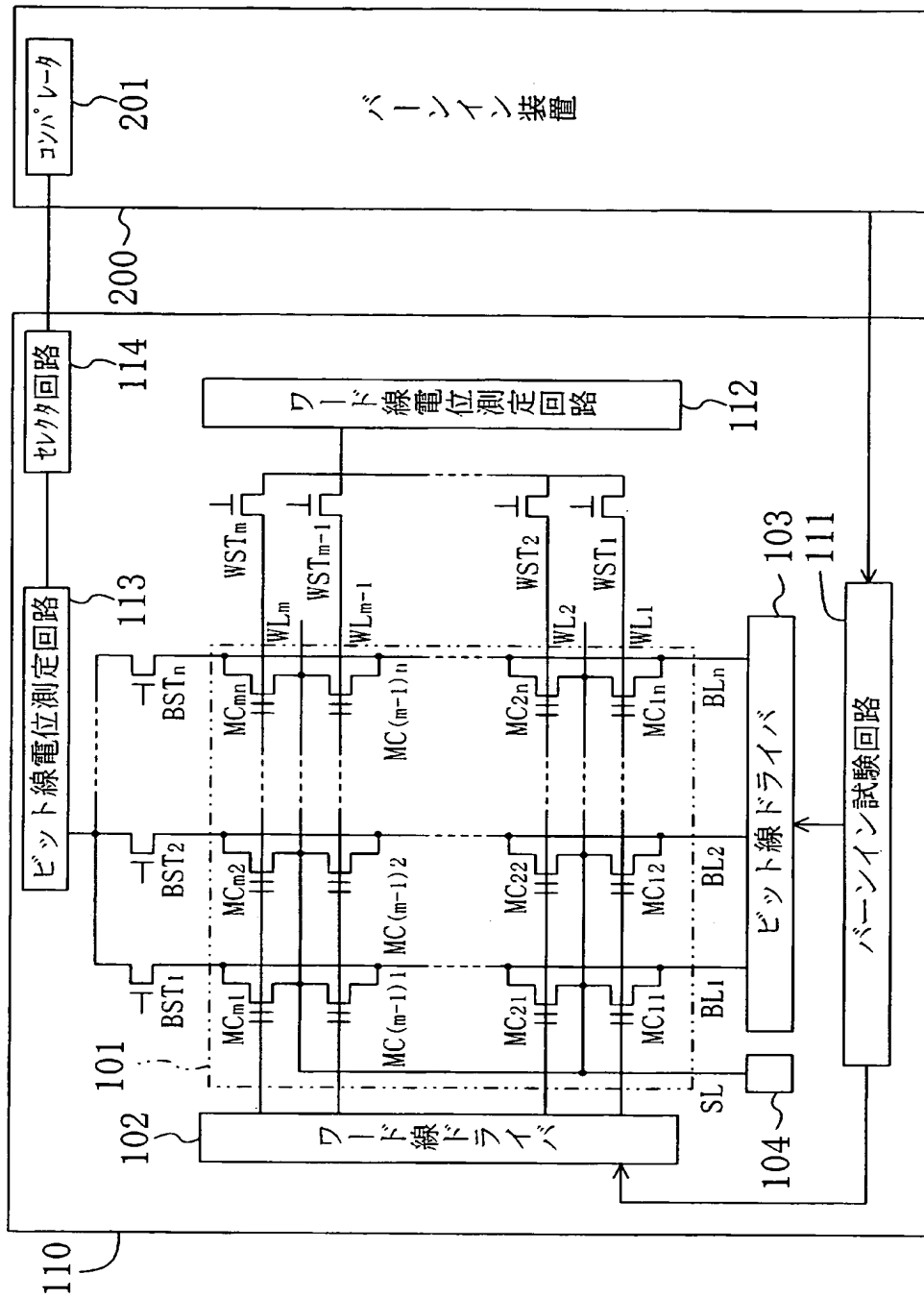




【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 半導体記憶装置に対するディスタープ試験の際に規定した通りのストレスが印加されたか否かを判定するための手段を、チップ面積を増大させることなく且つ低コストに設けられるようにする。

【解決手段】 メモリセルアレイは、メモリセル $MC_{11} \sim MC_{mn}$ からなるメモリセル領域11と、ワード線サンプルセル $SCW_{11} \sim SCW_{m1}$ 及びビット線サンプルセル $SCB_{11} \sim SCB_{1n}$ からなるサンプルセル領域12とを有し、ワード線サンプルセル $SCW_{11} \sim SCW_{m1}$ 及びビット線サンプルセル $SCB_{11} \sim SCB_{1n}$ は、メモリセル $MC_{11} \sim MC_{mn}$ と比べて、ワード線 $WL_1 \sim WL_m$ 及びビット線 $BL_1 \sim BL_n$ に印加された電圧によってフローティングゲート電極から電荷が移動し易いように形成されている。

【選択図】 図2

特願 2 0 0 3 - 1 1 2 5 7 6

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社